

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-288049

(43)Date of publication of application : 10.10.2003

(51)Int.Cl.

G09G 3/30
G09G 3/20
H01L 29/786
H05B 33/14

(21)Application number : 2003-013272

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 22.01.2003

(72)Inventor : KIMURA HAJIME
TANADA YOSHIFUMI

(30)Priority

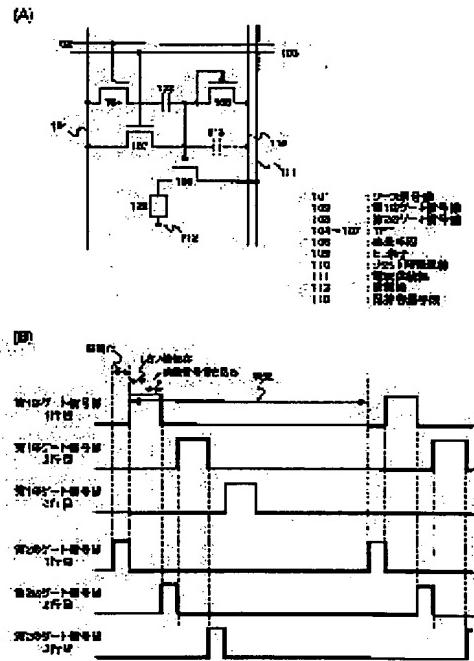
Priority number : 2002016183 Priority date : 24.01.2002 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the dispersion in thresholds of TFTs can be corrected by constitution which does not receive the effect of the dispersion in values of capacitors and its driving method.

SOLUTION: In this device, an electric potential in which the threshold voltage of a TFT 105 is either added to or subtracted from the electric potential of a reset power source line 110 is stored in a capacitor means 108. A voltage in which the corresponding threshold voltage is added to an image signal is applied to the gate electrode of a TFT 106. TFTs within a pixel are disposed adjacently and the dispersion in the characteristics of the TFTs does not easily develop. As a result, the threshold of the TFT 105 is cancelled even if the thresholds of the TFTs 106 differ per pixel and a predetermined drain current can be supplied to an EL element 109.



LEGAL STATUS

[Date of request for examination] 22.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device which has a rectifying action component, a capacity means, and a switching element, and is characterized by connecting the 1st electrode of said rectifying action component as electrically as the 1st electrode of said capacity means, and the 1st electrode of said switching element.

[Claim 2] It is the semiconductor device which has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means, and is characterized by connecting as electrically as the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component the 1st electrode of said 1st rectifying action component.

[Claim 3] It has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When it is the semiconductor device into which the signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential difference of said rectifying action component is Vth, The semiconductor device characterized by acquiring the signal which has one potential of (V1+|Vth|), V2, and (V1+|Vth|**VData) from the 2nd electrode of said rectifying action component.

[Claim 4] It has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When it is the semiconductor device into which the signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential difference of said rectifying action component is Vth, The semiconductor device characterized by acquiring the signal which has one potential of (V1-|Vth|), V2, and (V1-|Vth|**VData) from the 2nd electrode of said rectifying action component.

[Claim 5] It has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the potential below or more [V] 2V2' is inputted. To the 2nd electrode of said capacity means It is the semiconductor device into which the 2nd signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The semiconductor device characterized by acquiring the signal which has one potential of (V1-|Vth1|), (V2+Vth2), and (V1-|Vth1|**VData) from the 2nd electrode of said 1st rectifying action component.

[Claim 6] It has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the voltage swing of the

potential below or more [V] $2V2'$ is inputted. To the 2nd electrode of said capacity means It is the semiconductor device into which the 2nd signal which has the potential not more than $V3$ below 3 ($V3+VData$) or more [V] or ($V3-VData$) the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [$Vth1$ and said threshold electrical potential difference of the 2nd rectifying action component] $Vth2$, The semiconductor device characterized by acquiring the signal which has one potential of ($V1+Vth1$), ($V2'-Vth2$), and ($V1+Vth1**VData$) from the 2nd electrode of said 1st rectifying action component.

[Claim 7] It is the semiconductor device characterized by being $V1>V2$ when the transistor which is $V1<V2$ and connected between said gate drains when the transistor which connected between said gate drains coming [the transistor to which said rectifying action component connected between gate drains in claim 3 or claim 4] to use was an N channel mold is a P channel mold.

[Claim 8] It is the semiconductor device characterized by being $V1>V2$ when the transistor which is $V1<V2$ and connected between said gate drains when the transistor which connected between said gate drains coming [the transistor to which said 1st rectifying action component connected between gate drains in claim 5 or claim 6] to use was an N channel mold is a P channel mold.

[Claim 9] It is the semiconductor device which said semiconductor device has a transistor further in claim 1 thru/or claim 8, and is characterized by connecting the gate electrode of said transistor as electrically as the 1st electrode of said capacity means.

[Claim 10] It is the semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st and 2nd gate signal lines, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 4th transistor, a capacity means, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said capacity means electrically. The 2nd electrode of said capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The gate electrode of said 4th transistor It connects with said 2nd gate signal line electrically. The 1st electrode It is the semiconductor device characterized by connecting with said source signal line or the 2nd electrode of said 1st transistor electrically, and connecting the 2nd electrode as electrically as the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor.

[Claim 11] It is the semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st and 2nd gate signal lines, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 3rd transistor, a capacity means, diode, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said capacity means electrically. The 2nd electrode of said capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The 1st electrode of said diode It is the semiconductor device characterized by connecting with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically, and connecting the 2nd electrode with said 2nd gate signal line electrically.

[Claim 12] It is the semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st and 2nd gate signal lines, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 3rd transistor, the 1st and 2nd capacity means, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said 1st capacity means electrically. The 2nd electrode of said 1st capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The 1st electrode of said 2nd capacity means It is the semiconductor device characterized by

connecting with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically, and connecting the 2nd electrode with said 2nd gate signal line electrically.

[Claim 13] It is the semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st thru/or 3rd gate signal line, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 5th transistor, the 1st and 2nd capacity means, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode of said 1st capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The gate electrode of said 4th transistor It connects with said 2nd gate signal line electrically. The 1st electrode It connects with said source signal line or the 2nd electrode of said 1st transistor electrically. The 2nd electrode It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 1st electrode of said 2nd capacity means It connects with the 2nd electrode of said 1st transistor electrically. The 2nd electrode It connects with the 2nd electrode of said 3rd transistor electrically. The gate electrode of said 5th transistor It is the semiconductor device characterized by connecting with said 3rd gate signal line electrically, and the 1st electrode being connected as electrically as the 2nd electrode of said 3rd transistor, and the 2nd electrode being equal to the potential of the 2nd electrode of said light emitting device, or connecting it to power-source potential lower than it.

[Claim 14] In any 1 term of claim 10 thru/or claim 13 said semiconductor device Furthermore, it has a gate signal line for elimination, and a transistor for elimination. The gate electrode of said transistor for elimination It is the semiconductor device characterized by connecting with said gate signal line for elimination electrically, connecting the 1st electrode with said current supply source line electrically, and connecting the 2nd electrode as electrically as the gate electrode of said 3rd transistor.

[Claim 15] In any 1 term of claim 10 thru/or claim 13 said semiconductor device Furthermore, it has a gate signal line for elimination, and a transistor for elimination. The gate electrode of said transistor for elimination It is the semiconductor device characterized by connecting with said gate signal line for elimination electrically, connecting the 1st electrode with said current supply source line electrically, and connecting the 2nd electrode as electrically as the 2nd electrode of said 1st transistor.

[Claim 16] In any 1 term of claim 10 thru/or claim 13 said semiconductor device Furthermore, it has a gate signal line for elimination, and a transistor for elimination. Said transistor for elimination between said current supply source line and 1st electrode of said 3rd transistor -- or It is the semiconductor device which is formed between the 2nd electrode of said 3rd transistor, and the 1st electrode of said light emitting device, and is characterized by connecting the gate electrode of said transistor for elimination with said gate signal line for elimination electrically.

[Claim 17] It is the semiconductor device characterized by said 2nd transistor and said 3rd transistor being the same polarities in any 1 term of claim 10 thru/or claim 13.

[Claim 18] It has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element When the 2nd power-source potential V2 is given and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, The drive approach of the semiconductor device characterized by having the 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and sets potential of the 2nd electrode of said rectifying action component to (V1+Vth) from said 1st step.

[Claim 19] It has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When the signal which has

the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, The 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and sets potential of the 2nd electrode of said rectifying action component to (V1+Vth) from said 1st step, The drive approach of the semiconductor device characterized by having the 3rd step which only VData changes the potential of the 2nd electrode of said capacity means, and makes (V1+Vth**VData) potential of the 2nd electrode of said rectifying action component.

[Claim 20] It has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element When the 2nd power-source potential V2 is given and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, The drive approach of the semiconductor device characterized by having the 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and makes (V1-|Vth|) potential of the 2nd electrode of said rectifying action component from said 1st step.

[Claim 21] It has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When the signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, The 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and makes (V1-|Vth|) potential of the 2nd electrode of said rectifying action component from said 1st step, The drive approach of the semiconductor device characterized by having the 3rd step which only VData changes the potential of the 2nd electrode of said capacity means, and sets potential of the 2nd electrode of said rectifying action component to (V1-|Vth|**VData).

[Claim 22] It is the drive approach of the semiconductor device which said semiconductor device has a transistor further in claim 19 or claim 21, and is characterized by connecting the gate electrode of said transistor as electrically as the 2nd electrode of said rectifying action component.

[Claim 23] It has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component When the 1st signal which has the potential below or more [V] 2V2' is inputted and the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which sets potential of the 2nd electrode of said 2nd capacity means to V2, and sets potential of the 2nd electrode of said 1st rectifying action component to (V2+Vth2), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is made into V2'. The drive approach of the semiconductor device characterized by having the 2nd step which is made to converge the electrical potential difference between the two electrodes of said 1st rectifying action component on a threshold Vth1, and makes potential of the 2nd electrode of said rectifying action component (V1-|Vth1|).

[Claim 24] It has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the potential below or more [V] 2V2' is inputted. To the 2nd electrode of said capacity means The 2nd signal which has the potential not

more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which sets potential of the 2nd electrode of said 2nd capacity means to V2, and sets potential of the 2nd electrode of said 1st rectifying action component to (V2+Vth2), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is made into V2'. The 2nd step which is made to converge the electrical potential difference between the two electrodes of said 1st rectifying action component on a threshold Vth1, and makes potential of the 2nd electrode of said rectifying action component (V1-|Vth1|), The drive approach of the semiconductor device characterized by having the 3rd step which only VData changes the potential of the 2nd electrode of said capacity means, and sets potential of the 2nd electrode of said 1st rectifying action component to (V1-|Vth1|**VData).

[Claim 25] It has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component When the 1st signal which has the potential below or more [V] 2V2' is inputted and the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which makes V2' potential of the 2nd electrode of said 2nd capacity means, and makes potential of the 2nd electrode of said 1st rectifying action component (V2'-|Vth2|), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is set to V2. The drive approach of the semiconductor device characterized by having the 2nd step which is made to converge the electrical potential difference between the two electrodes of said 1st rectifying action component on a threshold Vth1, and sets potential of the 2nd electrode of said rectifying action component to (V1+Vth1).

[Claim 26] It has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the potential below or more [V] 2V2' is inputted. To the 2nd electrode of said capacity means The 2nd signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which makes V2' potential of the 2nd electrode of said 2nd capacity means, and makes potential of the 2nd electrode of said 1st rectifying action component (V2'-|Vth2|), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is set to V2. The 2nd step which is made to converge the electrical potential difference between the two electrodes of said 1st rectifying action component on a threshold Vth1, and sets potential of the 2nd electrode of said rectifying action component to (V1+Vth1), The drive approach of the semiconductor device characterized by having the 3rd step which only VData changes the potential of the 2nd electrode of said capacity means, and sets potential of the 2nd electrode of said 1st rectifying action component to (V1+Vth1)**VData).

[Claim 27] It is the drive approach of the semiconductor device which said semiconductor device has a transistor further in claim 24 or claim 26, and is characterized by connecting the gate electrode of said transistor as electrically as the 2nd electrode of said 1st rectifying action component.

[Claim 28] It is the drive approach of the semiconductor device characterized by being V1>V2 coming [the transistor to which said rectifying action component connected between gate drains in any 1 term of claim 18 thru/or claim 22] to use when it is V1<V2 when said transistor is an N channel mold, and said transistor is a P channel mold.

[Claim 29] It is the drive approach of the semiconductor device characterized by being V1>V2 coming [the transistor to which said 1st rectifying action component connected between gate drains in any 1 term of claim 23 thru/or claim 27] to use when it is V1<V2 when said transistor is an N channel mold, and said transistor is a P channel mold.

[Claim 30] Electronic equipment characterized by using the drive approach of a semiconductor device according to claim 1 to 17 or a semiconductor device according to claim 18 to 29.

[Translation done.]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has a transistor, and its drive approach. This invention relates to the active-matrix mold luminescence equipment containing the semiconductor device which has the thin film transistor (it is henceforth written as TFT) produced on insulators, such as glass and plastics, again, and its drive approach. Moreover, it is related with the electronic equipment using such luminescence equipment.

[0002]

[Description of the Prior Art] In recent years, development of the displays which used including light emitting devices, such as an electroluminescence (Electro Luminescence:EL) component, is activating. Since it does not need a required back light in a liquid crystal display (LCD) etc., while visibility of a light emitting device is high since oneself emits light, and it is suitable for thin shape-ization, there is almost no limit in an angle of visibility.

[0003] Here, an EL element points out the component which has the luminous layer from which the luminescence generated by adding electric field is obtained. In this luminous layer, although there are luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence) and luminescence at the time of returning from a triplet excitation state to a ground state (phosphorescence), in this invention, luminescence equipment may be which luminescence gestalt mentioned above.

[0004] The EL element consisted of forms where a luminous layer was inserted between the electrodes (an anode plate and cathode) of a pair, and has usually taken the laminated structure. Typically, the laminated structure "an anode plate / electron hole transportation layer / luminous layer / electronic transportation layer / cathode" is mentioned. Moreover, the structure which carries out a laminating to the order of "a hole injection layer / electron hole transportation layer / luminous layer / electronic transportation layer" or "a hole injection layer / electron hole transportation layer / luminous layer / electronic transportation layer / electronic injection layer" is between an anode plate and cathode besides this. Any of above-mentioned structure may be adopted as structure of the EL element used for the luminescence equipment of this invention. Moreover, fluorescence coloring matter etc. may be doped to a luminous layer.

[0005] Here, in an EL element, all the layers prepared between an anode plate and cathode are generically called EL layer. Therefore, all of an above-mentioned hole injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, and an electronic injection layer are contained in an EL element, and they call an EL element an anode plate, EL layer, and the light emitting device that consists of cathode.

[0006] The configuration of the pixel in the common luminescence equipment to drawing 8 is shown. In addition, let EL display be an example as typical luminescence equipment. The pixel shown in drawing 8 has the source signal line 801, the gate signal line 802, TFT803 for switching, TFT804 for a drive, the capacity means 805, EL element 806, the current supply source line 807, and the power-source line 808.

[0007] The connection relation of each part is explained. Although TFT is 3 terminal component which has the gate, the source, and a drain here, about the source and a drain, a clear distinction is difficult on the structure of TFT. Therefore, among the source and a drain, the 1st electrode [one side] is written and it writes the 2nd electrode [another side], in case connection between components is explained. About ON of TFT, and OFF, when a definition is required about the potential of each terminal (for example, when explaining the electrical potential difference between the gate sources of TFT etc.), it is written as the source and a drain.

[0008] Moreover, the electrical potential difference between the gate sources of TFT exceeds the threshold

as TFT turns on, the condition that a current flows between source drains is said, the electrical potential difference between the gate sources of TFT is less than the threshold that TFT turns off, and the condition that the current is not flowing between source drains is said. However, although leakage current flows slightly between source drains also when the electrical potential difference between the gate sources of TFT is less than the threshold, it treats as what is similarly turned off as a condition of TFT.

[0009] The gate electrode of TFT803 for switching is connected to the gate signal line 802, the 1st electrode is connected to the source signal line 801, and the 2nd electrode is connected to the gate electrode of TFT804 for a drive. The 1st electrode of TFT804 for a drive is connected to the current supply source line 807, and the 2nd electrode is connected to the 1st electrode of EL element 806. The 2nd electrode of EL element 806 is connected to the power-source line 808. The current supply source line 807 and the power-source line 808 have the potential difference mutually. Moreover, in order to hold the electrical potential difference between the gate sources of TFT804 for a drive during luminescence, the capacity means 805 may be established between the gate electrode of TFT804 for a drive, and the fixed potential of current supply source line 807 grade.

[0010] If a pulse is inputted into the gate signal line 802 and TFT803 for switching turns on, the video signal inputted into the source signal line 801 will be inputted into the gate electrode of TFT804 for a drive. According to the potential of the inputted video signal, the electrical potential difference between the gate sources of TFT804 for a drive is determined, and the value of the flowing current (a following and drain current and notation) determines between the source drains of TFT804 for a drive. This current is supplied to EL element 806, and EL element 806 emits light.

[0011] By the way, TFT formed with polycrystalline silicon (below polish recon P-Si) has electric field effect mobility higher than TFT formed with amorphous silicon (below amorphous silicon A-Si), and since ON current is large, it is suitable as a transistor used for luminescence equipment.

[0012] On the other hand, TFT formed by P-Si originates in the defect in the grain boundary, and has the trouble of being easy to produce dispersion in the electrical characteristics.

[0013] In the pixel shown in drawing 8, since the drain current value of TFT varies according to threshold dispersion also when the threshold of TFT, for example, the threshold of TFT804 for a drive, varied for every pixel and the same video signal as a different pixel is inputted, a difference arises in the brightness of EL element 806. In the case of the display which has adopted the analog gradation method, especially this had become a problem.

[0014] What can amend such threshold dispersion of TFT recently is proposed. As an example of them, a configuration as shown in drawing 10 is mentioned (patent reference 1 reference).

[0015]

[Patent reference 1] International public presentation number No. 48403 [99 to] pamphlet (P25, Fig3, Fig4)

[0016] the pixel shown in drawing 10 -- the source signal line 1001 and the 1- it has the 3rd gate signal line 1002-1004, TFT 1005-1008, the capacity means 1009 (C2) and 1010 (C1), EL element 1011, the current supply source line 1012, and the power-source line 1013.

[0017] The gate electrode of TFT1005 is connected to the 1st gate signal line 1002, the 1st electrode is connected to the source signal line 1001, and the 2nd electrode is connected to the 1st electrode of the capacity means 1009. The 2nd electrode of the capacity means 1009 is connected to the 1st electrode of the capacity means 1010, and the 2nd electrode of the capacity means 1010 is connected to the current supply source line 1012. The gate electrode of TFT1006 is connected to the 2nd electrode of the capacity means 1009, and the 1st electrode of the capacity means 1010, the 1st electrode is connected to the current supply source line 1012, and the 2nd electrode is connected to the 1st electrode of TFT1007, and the 1st electrode of TFT1008. The gate electrode of TFT1007 is connected to the 2nd gate signal line 1003, and the 2nd electrode is connected to the 2nd electrode of the capacity means 1009. The gate electrode of TFT1008 is connected to the 3rd gate signal line 1004, and the 2nd electrode is connected to the 1st electrode of EL element 1011. It connects with the power-source line 1013, and the 2nd electrode of EL element 1011 has the potential difference mutually [the current supply source line 1012].

[0018] Drawing 10 (A), (B), and drawing 11 (A) Actuation is explained using - (F). drawing 10 (B) -- the source signal line 1001 and the 1- the timing of the video signal inputted into the 3rd gate signal line 1002-1004 and a pulse is shown, and it is dividing at the section of I-VIII to compensate for each actuation shown in drawing 11. Moreover, with an example of the pixel shown in drawing 10, it is constituted using four TFT(s) and each of the polarity is a P channel mold. Therefore, L level shall be inputted into a gate electrode, it shall turn on, H level shall be inputted, and it shall turn off. Moreover, although the video signal

inputted into the source signal line 1001 is shown in the shape of a pulse in order to show only the period inputted here, in the case of an analog gradation method, it takes the potential of a predetermined analog quantity.

[0019] First, the 1st and 3rd gate signal lines 1002 and 1004 serve as L level, and TFT 1005 and 1008 turns on (section I). Then, the 2nd gate signal line 1003 serves as L level, and TFT1007 turns on. Here, as shown in drawing 11 (A), a charge accumulates in the capacity means 1009 and 1010, and TFT1006 turns on in the place where the electrical potential difference currently held, the potential difference 1010, i.e., the capacity means, between the two electrodes of the capacity means 1010, exceeded threshold $|V_{th}|$ of TFT1006 (section II).

[0020] Then, the 3rd gate signal line 1004 serves as H level, and TFT1008 turns off. Then, the electrical potential difference which the charge collected on the capacity means 1009 and 1010 moves again, and is held at the capacity means 1010 becomes equal to $|V_{th}|$ soon. Since each potential of the current supply source line 1012 and the source signal line 1001 is VDD at this time as shown in drawing 11 (B), also in the capacity means 1009, the electrical potential difference currently held becomes equal to $|V_{th}|$. Therefore, TFT1006 turns off soon.

[0021] As mentioned above, after the electrical potential difference currently held at the capacity means 1009 and 1010 becomes equal to $|V_{th}|$, the 2nd gate signal line 1003 serves as H level, and TFT1007 turns off (section IV). By this actuation, as shown in drawing 11 (C), $|V_{th}|$ is held in the capacity means 1009.

[0022] At this time, relation like a formula (1) is materialized about the charge Q1 currently held at the capacity means 1010 (C1). Relation like a formula (2) is materialized about the charge Q2 currently held for the capacity means 1009 (C2) at coincidence.

[0023]

[Equation 1]

$$Q_1 = C_1 \times |V_{th}| \quad \dots \dots \dots \quad (1)$$

[0024]

[Equation 2]

$$Q_2 = C_2 \times |V_{th}| \quad \dots \dots \dots \quad (2)$$

[0025] Then, as shown in drawing 11 (D), the input of a video signal is performed (section V). A video signal is outputted to the source signal line 1001, and the potential turns into the potential VData of a video signal (here, since TFT1006 is a P channel mold, it considers as $VDD > VData$) from VDD. If potential of the gate electrode of TFT1006 at this time is set to VP and the charge in this node is set to Q, relation as shown in a formula (3) and (4) will be materialized by the conservation of charge including the capacity means 1009 and 1010.

[0026]

[Equation 3]

$$Q + Q_1 = C_1 \times (VDD - VP) \quad \dots \dots \dots \quad (3)$$

[0027]

[Equation 4]

$$Q - Q_2 = C_2 \times (VP - VData) \quad \dots \dots \dots \quad (4)$$

[0028] Formula (1) From - (4), the potential VP of the gate electrode of TFT1006 is expressed with a formula (5).

[0029]

[Equation 5]

$$VP = \frac{C_1}{C_1 + C_2} VDD + \frac{C_2}{C_1 + C_2} VData - |V_{th}| \quad \dots \dots \dots \quad (5)$$

[0030] Therefore, the electrical potential difference VGS between the gate sources of TFT1006 is expressed with a formula (6).

[0031]

[Equation 6]

$$V_{GS} = V_P - V_{DD}$$

$$\begin{aligned} &= \frac{C_2}{C_1+C_2} (V_{Data}-V_{DD}) - |V_{th}| \\ &= \frac{C_2}{C_1+C_2} (V_{Data}-V_{DD}) + V_{th} \quad \dots \dots \dots (6) \end{aligned}$$

[0032] The term of V_{th} is included in the formula (6) right-hand side. That is, the threshold electrical potential difference of TFT1006 in the pixel is added to the video signal inputted from the source signal line 1001, and it is held by the capacity means 1009 and 1010.

[0033] If the input of a video signal is completed, the 1st gate signal line 1002 serves as H level, and TFT1005 turns off (section VI). Then, the source signal line 1001 returns to predetermined potential (section VII). By the above actuation, the write-in actuation to the pixel of a video signal is completed (drawing 11 (E)).

[0034] Then, the 3rd gate signal line 1004 serves as L level, TFT1008 turns on, and as shown in EL element 1011 at drawing 11 (F), when a current flows, EL element 1011 emits light. The drain current IDS on which the current value which flows to EL element 1011 at this time flows TFT1006 according to the electrical potential difference between the gate sources of TFT1006 is expressed with a formula (7).

[0035]

[Equation 7]

$$\begin{aligned} IDS &= \frac{\beta}{2} (V_{GS}-V_{th})^2 \\ &= \frac{\beta}{2} \left\{ \frac{C_2}{C_1+C_2} (V_{Data}-V_{DD}) \right\}^2 \quad \dots \dots \dots (7) \end{aligned}$$

[0036] A formula (7) shows not depending for the drain current IDS of TFT1006 on the value of a threshold V_{th} . Therefore, even if the threshold of TFT1006 varies for every pixel, the current value which flows to EL element 1011 of each pixel does not change. Therefore, the current according to a video signal V_{Data} flows EL element 1011 correctly.

[0037]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned configuration, it depends for the drain current IDS on the value of capacity $C1$ and $C2$ in a formula (7). That is, when the capacity value of the capacity means 1009 and 1010 varies, the drain current IDS will vary.

[0038] So, it aims at offering the possible semiconductor device and its drive approach of amending threshold dispersion of TFT by the above-mentioned trouble and the configuration which does not specifically have being influenced of dispersion in capacity value in this invention.

[0039]

[Means for Solving the Problem] The principle of operation of this invention is explained using drawing 14 14. A circuit as shown in drawing 14 (A) and (B) is considered. Switching elements 1403 and 1413 are components controlled by the input (Signal) of a signal, respectively, and just take the condition of a flow and not flowing. For example, selection of ON and OFF is just performed with an input signal like TFT.

[0040] Moreover, when the potential difference is given to the electrode of the both ends of a component, the component which produces a current only in single direction is defined as a rectifying action component. As a rectifying action component, diode and TFT which short-circuited between gate drains (diode connection of such a condition is written) are mentioned.

[0041] As shown in drawing 14 (A) and (B), the circuit which connected switching elements 1403 and 1413, the capacity means 1402 and 1412, and the rectifying action components 1401 and 1411, respectively is considered. In the rectifying action component 1401, the rectifying action component 1411 uses the N channel mold TFT using the P channel mold TFT.

[0042] Here, each terminal of a circuit is set to alpha, beta, gamma, and delta. Suppose at terminal alpha-gamma that a certain fixed potential is given, respectively. In the case of drawing 14 (A), potential with which the potential given to Terminals alpha and beta is given to VSS and Terminal gamma is set to VReset ($>= VSS + |V_{thP}|$: V_{thP} is the threshold of 1401), and, in the case of drawing 14 (B), potential with which the potential given to Terminals alpha and beta is given to VX and Terminal gamma is set to VReset ($<= VX - |V_{thN}|$: V_{thN} is the threshold of 1411).

[0043] Now, switching elements 1403 and 1413 flow in the period shown by i in drawing 14 (C). Then, in drawing 14 (A), the potential of the gate electrode of TFT1401 which is a rectifying action component, and

a drain electrode falls, and it is set to VSS. On the other hand, in drawing 14 (B), the potential of the gate electrode of TFT1411 which is a rectifying action component, and a drain electrode rises, and it is set to VX. Also in any of TFT 1401 and 1411, in order that the electrical potential difference between source drains may exceed the absolute value of the threshold electrical potential difference, it turns on.

[0044] Then, switching elements 1403 and 1413 are un-flowing in the period shown by ii in drawing 14 (C). At this time, since both TFT(s) 1401 and 1411 turn on, a current produces them between each source drain, the potential of the gate electrode of TFT1401 in drawing 14 (A) and a drain electrode rises, and the potential of the gate electrode of TFT1411 in drawing 14 (B) and a drain electrode descends. Therefore, the electrical potential difference between source drains of TFT 1401 and 1411, i.e., the electrical potential difference between the gate sources of TFT 1401 and 1411, becomes small.

[0045] Soon, the electrical potential difference between the gate sources of TFT 1401 and 1411 becomes equal to the absolute value of each threshold electrical potential difference of TFT. Thereby, TFT 1401 and 1411 turns off. The potential of the drain electrode of TFT 1401 and 1411 at this time and the potential difference with Terminal alpha are held by the capacity means 1402 and 1412, respectively.

[0046] Therefore, in the period shown by iii in drawing 14 (C), in drawing 14 (A), VReset-|VthP| is outputted from Terminal delta and VReset+|VthN| is outputted from Terminal delta in drawing 14 (B).

[0047] Drawing 14 (A) and (B) In any case, it turns out that the threshold electrical potential difference of TFT 1401 and 1411 can be taken out. For example, if Terminal alpha has the input of a signal in this condition, potential will change with capacity coupling by the capacity means 1402 and 1412 by the electrical potential difference of the signal into which Terminal delta was inputted. It means that the amendment for a threshold electrical potential difference of TFT had started Terminal delta to the input of a signal since the threshold electrical potential difference of TFT had appeared beforehand.

[0048] You may make it lower the potential of the gate electrode of TFT1401, and a drain electrode as other configurations which made the principle of operation the same, by replacing with a switching element 1403, establishing diode 1410 or the capacity means 1420, and making potential of Terminal beta low (here VSS), as shown in drawing 14 (D) and (E). In the potential of Terminal delta, at this time, (VSS+|VthD|:VthD may descend to threshold) of diode 1410. If the potential of Terminal beta is raised once the potential of the gate electrode of TFT1401 and a drain electrode falls in the case of drawing 14 (D) (here VDD), since the current of hard flow does not flow, it will become the same with having presupposed un-flowing a switching element.

[0049] In addition, although TFT1401 uses the P channel mold TFT, the N channel mold TFT may be used. In this case, the drain electrode and gate electrode of TFT1401 are connected to Terminal gamma side. Similarly, although TFT1411 uses the N channel mold TFT, the P channel mold TFT may be used. In this case, the drain electrode and gate electrode of TFT1411 are connected to Terminal gamma side.

[0050] Moreover, diode may be used for TFT 1401 and 1411, respectively. The above-mentioned diode connection TFT besides [which has the usual PN junction] diode may be used for the diode used here.

[0051] Although threshold dispersion of TFT in luminescence equipment was amended, it made to reduce brightness dispersion of an EL element into the technical problem and here has described as the solution approach for it, the principle of operation of this invention cannot remain only in order to amend threshold dispersion of TFT in luminescence equipment, but, of course, can be applied to other electronic circuitries.

[0052] The configuration of this invention is described below.

[0053] The semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element, and is characterized by connecting the 1st electrode of said rectifying action component as electrically as the 1st electrode of said capacity means, and the 1st electrode of said switching element.

[0054] The semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means, and is characterized by connecting as electrically as the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component the 1st electrode of said 1st rectifying action component.

[0055] The semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When it is the semiconductor device into which the signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential

difference of said rectifying action component is V_{th} , From the 2nd electrode of said rectifying action component, it is characterized by acquiring the signal which has one potential of $(V_1 + |V_{th}|)$, V_2 , and $(V_1 + |V_{th}|**V_{Data})$.

[0056] The semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V_1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V_2 is given. To the 2nd electrode of said capacity means When it is the semiconductor device into which the signal which has the potential not more than V_3 below 3 ($V_3 + V_{Data}$) or more [V] or $(V_3 - V_{Data})$ the above is inputted and the threshold electrical potential difference of said rectifying action component is V_{th} , From the 2nd electrode of said rectifying action component, it is characterized by acquiring the signal which has one potential of $(V_1 - |V_{th}|)$, V_2 , and $(V_1 - |V_{th}|**V_{Data})$.

[0057] The semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V_1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the potential below or more [V] $2V_2'$ is inputted. To the 2nd electrode of said capacity means It is the semiconductor device into which the 2nd signal which has the potential not more than V_3 below 3 ($V_3 + V_{Data}$) or more [V] or $(V_3 - V_{Data})$ the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [V_{th1} and said threshold electrical potential difference of the 2nd rectifying action component] V_{th2} , From the 2nd electrode of said 1st rectifying action component, it is characterized by acquiring the signal which has one potential of $(V_1 - |V_{th1}|)$, $(V_2 + V_{th2})$, and $(V_1 - |V_{th1}|**V_{Data})$.

[0058] The semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V_1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the voltage swing of the potential below or more [V] $2V_2'$ is inputted. To the 2nd electrode of said capacity means It is the semiconductor device into which the 2nd signal which has the potential not more than V_3 below 3 ($V_3 + V_{Data}$) or more [V] or $(V_3 - V_{Data})$ the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [V_{th1} and said threshold electrical potential difference of the 2nd rectifying action component] V_{th2} , From the 2nd electrode of said 1st rectifying action component, it is characterized by acquiring the signal which has one potential of $(V_1 + V_{th1})$, $(V_2' - V_{th2})$, and $(V_1 + V_{th1}**V_{Data})$.

[0059] The semiconductor device of this invention is characterized by for said rectifying action component being $V_1 < V_2$ when the transistor which connected between said gate drains coming [the transistor which connected between gate drains] to use is an N channel mold, and being $V_1 > V_2$ when the transistor which connected between said gate drains is a P channel mold.

[0060] The semiconductor device of this invention is characterized by for said 1st rectifying action component being $V_1 < V_2$ when the transistor which connected between said gate drains coming [the transistor which connected between gate drains] to use is an N channel mold, and being $V_1 > V_2$ when the transistor which connected between said gate drains is a P channel mold.

[0061] Said semiconductor device has a transistor further and the semiconductor device of this invention is characterized by connecting the gate electrode of said transistor as electrically as the 1st electrode of said capacity means.

[0062] The semiconductor device of this invention is a semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st and 2nd gate signal lines, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 4th transistor, a capacity means, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said capacity means electrically. The 2nd electrode of said capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said

power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The gate electrode of said 4th transistor It connects with said 2nd gate signal line electrically. The 1st electrode It is characterized by connecting with said source signal line or the 2nd electrode of said 1st transistor electrically, and connecting the 2nd electrode as electrically as the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor.

[0063] The semiconductor device of this invention is a semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st and 2nd gate signal lines, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 3rd transistor, a capacity means, diode, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said capacity means electrically. The 2nd electrode of said capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The 1st electrode of said diode It is characterized by connecting with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically, and connecting the 2nd electrode with said 2nd gate signal line electrically.

[0064] The semiconductor device of this invention is a semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st and 2nd gate signal lines, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 3rd transistor, the 1st and 2nd capacity means, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said 1st capacity means electrically. The 2nd electrode of said 1st capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The 1st electrode of said 2nd capacity means It is characterized by connecting with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically, and connecting the 2nd electrode with said 2nd gate signal line electrically.

[0065] The semiconductor device of this invention is a semiconductor device which has two or more pixels. Said two or more pixels, respectively A source signal line, The 1st thru/or 3rd gate signal line, the power-source line for reset, and a current supply source line, It has the 1st thru/or the 5th transistor, the 1st and 2nd capacity means, and a light emitting device. The gate electrode of said 1st transistor It connects with said 1st gate signal line electrically. The 1st electrode It connects with said source signal line electrically. The 2nd electrode It connects with the 1st electrode of said 1st capacity means electrically. The 2nd electrode of said 1st capacity means It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 2nd electrode of said 2nd transistor It connects with said power-source line for reset electrically. The 1st electrode of said 3rd transistor It connects with said current supply source line electrically. The 2nd electrode It connects with the 1st electrode of said light emitting device electrically. The gate electrode of said 4th transistor It connects with said 2nd gate signal line electrically. The 1st electrode It connects with said source signal line or the 2nd electrode of said 1st transistor electrically. The 2nd electrode It connects with the gate electrode of said 2nd transistor and the 1st electrode, and the gate electrode of said 3rd transistor electrically. The 1st electrode of said 2nd capacity means It connects with the 2nd electrode of said 1st transistor electrically. The 2nd electrode It connects with the 2nd electrode of said 3rd transistor electrically. The gate electrode of said 5th transistor It connects with said 3rd gate signal line electrically, and the 1st electrode is connected as electrically as the 2nd electrode of said 3rd transistor, and the 2nd electrode is equal to the potential of the 2nd electrode of said light emitting device, or it is characterized by connecting with power-source potential lower than it.

[0066] Said semiconductor device has a gate signal line for elimination, and a transistor for elimination further, and the semiconductor device of this invention is characterized by connecting the gate electrode of said transistor for elimination with said gate signal line for elimination electrically, connecting the 1st electrode with said current supply source line electrically, and connecting the 2nd electrode as electrically as the gate electrode of said 3rd transistor.

[0067] Said semiconductor device has a gate signal line for elimination, and a transistor for elimination further, and the semiconductor device of this invention is characterized by connecting the gate electrode of said transistor for elimination with said gate signal line for elimination electrically, connecting the 1st electrode with said current supply source line electrically, and connecting the 2nd electrode as electrically as the 2nd electrode of said 1st transistor.

[0068] In the semiconductor device of this invention, said semiconductor device has a gate signal line for elimination, and a transistor for elimination further. Said transistor for elimination between said current supply source line and 1st electrode of said 3rd transistor -- or It is prepared between the 2nd electrode of said 3rd transistor, and the 1st electrode of said light emitting device, and the gate electrode of said transistor for elimination is characterized by connecting with said gate signal line for elimination electrically.

[0069] The semiconductor device of this invention is characterized by said 2nd transistor and said 3rd transistor being the same polarities.

[0070] The drive approach of the semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element When the 2nd power-source potential V2 is given and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, It is characterized by having the 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and sets potential of the 2nd electrode of said rectifying action component to (V1+Vth) from said 1st step.

[0071] The drive approach of the semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When the signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, The 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and sets potential of the 2nd electrode of said rectifying action component to (V1+Vth) from said 1st step, Only VData changes the potential of the 2nd electrode of said capacity means, and it is characterized by having the 3rd step which sets potential of the 2nd electrode of said rectifying action component to (V1+Vth</SUB>**VData).

[0072] The drive approach of the semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element When the 2nd power-source potential V2 is given and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets potential of the 2nd electrode of said rectifying action component to V2, It is characterized by having the 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and makes (V1-|Vth|) potential of the 2nd electrode of said rectifying action component from said 1st step.

[0073] The drive approach of the semiconductor device of this invention has a rectifying action component, a capacity means, and a switching element. To the 1st electrode of said rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said switching element electrically. To the 2nd electrode of said switching element The 2nd power-source potential V2 is given. To the 2nd electrode of said capacity means When the signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted and the threshold electrical potential difference of said rectifying action component is Vth, The 1st step which flows through said switching element and sets

potential of the 2nd electrode of said rectifying action component to V2, The 2nd step which presupposes un-flowing said switching element, is made to converge the electrical potential difference between the two electrodes of said rectifying action component on a threshold Vth, and makes (V1-|Vth|) potential of the 2nd electrode of said rectifying action component from said 1st step, Only VData changes the potential of the 2nd electrode of said capacity means, and it is characterized by having the 3rd step which sets potential of the 2nd electrode of said rectifying action component to (V1-|Vth|**VData).

[0074] Said semiconductor device has a transistor further and the drive approach of the semiconductor device of this invention is characterized by connecting the gate electrode of said transistor as electrically as the 2nd electrode of said rectifying action component.

[0075] The drive approach of the semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component When the 1st signal which has the potential below or more [V] 2V2' is inputted and the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which sets potential of the 2nd electrode of said 2nd capacity means to V2, and sets potential of the 2nd electrode of said 1st rectifying action component to (V2+Vth2), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is made into V2'. The electrical potential difference between the two electrodes of said 1st rectifying action component is completed as a threshold Vth1, and it is characterized by having the 2nd step which makes potential of the 2nd electrode of said rectifying action component (V1-|Vth1|).

[0076] The drive approach of the semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the potential below or more [V] 2V2' is inputted. To the 2nd electrode of said capacity means The 2nd signal which has the potential not more than V3 below 3 (V3+VData) or more [V] or (V3-VData) the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which sets potential of the 2nd electrode of said 2nd capacity means to V2, and sets potential of the 2nd electrode of said 1st rectifying action component to (V2+Vth2), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is made into V2'. The 2nd step which is made to converge the electrical potential difference between the two electrodes of said 1st rectifying action component on a threshold Vth1, and makes potential of the 2nd electrode of said rectifying action component (V1-|Vth1|), Only VData changes the potential of the 2nd electrode of said capacity means, and it is characterized by having the 3rd step which sets potential of the 2nd electrode of said 1st rectifying action component to (V1-|Vth1|**VData).

[0077] The drive approach of the semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component When the 1st signal which has the potential below or more [V] 2V2' is inputted and the threshold electrical potential difference of said 1st rectifying action component is [Vth1 and said threshold electrical potential difference of the 2nd rectifying action component] Vth2, The 1st step which makes V2' potential of the 2nd electrode of said 2nd capacity means, and makes potential of the 2nd electrode of said 1st rectifying action component (V2'-|Vth2|), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is set to V2. The electrical potential difference between the two electrodes of said 1st rectifying action component is completed as a threshold Vth1, and it is characterized by having the 2nd step which sets potential of the 2nd electrode of said rectifying action component to (V1+Vth1).

[0078] The drive approach of the semiconductor device of this invention has the 1st rectifying action component, the 2nd rectifying action component, and a capacity means. To the 1st electrode of said 1st rectifying action component The 1st power-source potential V1 is given. The 2nd electrode of said 1st rectifying action component It connects with the 1st electrode of said capacity means, and the 1st electrode

of said 2nd rectifying action component electrically. To the 2nd electrode of said 2nd rectifying action component The 1st signal which has the potential below or more [V] $2V2'$ is inputted. To the 2nd electrode of said capacity means The 2nd signal which has the potential not more than $V3$ below 3 ($V3+VData$) or more [V] or ($V3-VData$) the above is inputted. When the threshold electrical potential difference of said 1st rectifying action component is [$Vth1$ and said threshold electrical potential difference of the 2nd rectifying action component] $Vth2$, The 1st step which makes $V2'$ potential of the 2nd electrode of said 2nd capacity means, and makes potential of the 2nd electrode of said 1st rectifying action component ($V2'-|Vth2|$), From said 1st step, potential of the 2nd electrode of said 2nd capacity means is set to $V2$. The 2nd step which is made to converge the electrical potential difference between the two electrodes of said 1st rectifying action component on a threshold $Vth1$, and sets potential of the 2nd electrode of said rectifying action component to ($V1+Vth1$), Only $VData$ changes the potential of the 2nd electrode of said capacity means, and it is characterized by having the 3rd step which sets potential of the 2nd electrode of said 1st rectifying action component to ($V1+Vth1**VData$).

[0079] Said semiconductor device has a transistor further and the drive approach of the semiconductor device of this invention is characterized by connecting the gate electrode of said transistor as electrically as the 2nd electrode of said 1st rectifying action component.

[0080] Coming [the transistor to which said rectifying action component connected between gate drains] to use, the drive approach of the semiconductor device of this invention is characterized by being $V1>V2$, when it is $V1<V2$ when said transistor is an N channel mold, and said transistor is a P channel mold.

[0081] Coming [the transistor to which said 1st rectifying action component connected between gate drains] to use, the drive approach of the semiconductor device of this invention is characterized by being $V1>V2$, when it is $V1<V2$ when said transistor is an N channel mold, and said transistor is a P channel mold.

[0082]

[Embodiment of the Invention] The 1st operation gestalt of this invention is shown in [gestalt 1 of operation] drawing 1 (A). This operation gestalt has the source signal line 101, the 1st, the 2nd gate signal line 102 and 103, TFT 104-107, the capacity means 108, EL element 109, the power-source line 110 for reset, the current supply source line 111, and the power-source line 112. Furthermore, the retention volume means 113 for holding a video signal may be established.

[0083] The gate electrode of TFT104 is connected to the 1st gate signal line 102, the 1st electrode is connected to the source signal line 101, and the 2nd electrode is connected to the 1st electrode of the capacity means 108. The gate electrode and the 1st electrode of TFT105 are connected mutually, it connects with the 2nd electrode of the capacity means 108, and the 2nd electrode of TFT105 is connected to the power-source line 110 for reset. The gate electrode of TFT106 is connected to the 2nd electrode of the capacity means 108, the gate electrode of TFT105, and the 1st electrode, the 1st electrode of TFT106 is connected to the current supply source line 111, and the 2nd electrode is connected to the 1st electrode of EL element 109. It connects with the power-source line 112, and the 2nd electrode of EL element 109 has the potential difference mutually [the current supply source line 111]. The gate electrode of TFT107 is connected to the 2nd gate signal line 103, the 1st electrode is connected to the source signal line 101, and the 2nd electrode is connected to the gate electrode of TFT106. What is necessary is just to prepare between the gate electrode of TFT106, and the part which can obtain the constant potential of current supply source line 111 grade, in establishing the retention volume means 113.

[0084] Drawing 1 (B) shows the timing of a pulse inputted into the 1st and 2nd gate signal line. Drawing 1 and drawing 2 (A) Actuation is explained using - (D). In addition, although TFT 104 and 107 constitutes the N channel molds 105 and TFT [TFT and] 106 here using the P channel mold TFT, the polarity is not asked that what is necessary is just to only function as a switching element about TFT 104 and 107.

[0085] The potential of VReset and the current supply source line 111 is VDD, and the potential of the power-source line 110 for reset considers as $VReset < VDD$. First, the potential of the source signal line 101 serves as VSS ($< VReset$), the 2nd gate signal line 103 serves as H level further, and TFT107 turns on. Then, the potential of the gate electrode of TFT 105 and 106 descends. The electrical potential difference between the gate sources of TFT106 becomes lower than a threshold soon, and it turns on, and continuously, the electrical potential difference between the gate sources of TFT105 becomes lower than a threshold, and it turns on (drawing 2 (A)). Although TFT104 turns off, it may be turned [in / at this time / drawing 2 (A)] on in this period.

[0086] If TFT105 turns on, current pass will arise in the power-source line 110 for reset - TFT105-TFT107-source signal line 101. Therefore, immediately after TFT105 turns on, TFT107 is turned off by making the

2nd gate signal line 103 into L level. In coincidence, the 1st gate signal line 102 is made into H level, and TFT104 is turned on. Then, migration of a charge as shown in drawing 2 (B) arises. Since TFT105 turns on, the potential of the gate electrode of TFT 105 and 106 rises. Here, between the gate drains of TFT105, since it connects, TFT105 turns off in the place where the electrical potential difference between the gate sources of TFT105, i.e., the electrical potential difference between source drains of TFT105, became equal to a threshold. At this time, the potential of the gate electrode of TFT 105 and 106 is ($V_{Reset}-|V_{th}|$). On the other hand, if the capacity means 108 is observed, only the charge with which the electrical potential difference of both ends serves as ($V_{Reset}-|V_{th}|-V_{SS}$) is saved.

[0087] Then, a video signal is inputted from the source signal line 101 (drawing 2 (C)). Only in VData, the potential of the source signal line 101 changes from V_{SS} . Here, also as for the potential of the gate electrode of TFT 105 and 106, only VData changes with capacity coupling by the capacity means 108. TFT105 must not turn on at this time. About the conditions of the value of VData at this time, it mentions later. On the other hand, the source potential of TFT106 is V_{DD} ($>V_{Reset}$), and the electrical potential difference between the gate sources serves as ($V_{Reset}-|V_{th}|+V_{Data}-V_{DD}$), and the drain current according to the electrical potential difference between these gate sources is supplied to EL element 109, and emits light (drawing 2 (D)).

[0088] Here, the potential V_{Reset} of the power-source line 110 for reset, the potential V_{DD} of the current supply source line 111, the potential of the source signal line 101, and the size relation of a video signal VData are explained using drawing 2 (E).

[0089] First, as size relation of fixed potential, it is $V_{SS} < V_{Reset} < V_{DD}$.

[0090] Next, the potential of the gate electrode of TFT 105 and 106 is considered. By initialization of drawing 2 (A), the potential of the gate electrode of TFT 105 and 106 turns into the potential shown in drawing 2 (E) by **, i.e., V_{SS} . then, the potential which the potential of the gate electrode of TFT 105 and 106 rose at the period which is saving the threshold, and was finally shown in drawing 2 (E) by ** -- that is, ($V_{Reset}-|V_{th}|$), it becomes. Then, an input of a video signal changes only VData from the potential of ** further. Here, when VData is a negative value, the potential of the gate electrode of TFT 105 and 106 becomes lower than the potential of **. That is, since the electrical potential difference between the gate sources of TFT105 becomes lower than a threshold and is turned on, it is contrary to the above-mentioned conditions. Therefore, VData needs to be a forward value. therefore, the potential which showed the potential of TFT 105 and 106 to drawing 2 (E) by ** by the input of a video signal -- that is, ($V_{Reset}-|V_{th}|+V_{Data}$), it becomes. Moreover, in TFT106, since it turns off if the potential of the gate electrode becomes high rather than $V_{DD}-|V_{th}|$, the range of the potential which a video signal VData can take needs to be the range shown in drawing 2 (E) by 200, i.e., $0 \leq V_{Data} \leq V_{DD}-V_{Reset}$, (preferably, it is $0 < V_{Data} \leq V_{DD}-V_{Reset}$ so that TFT105 may certainly turn off). However, when it is in the condition that gradation 0 109, i.e., an EL element, does not emit light at all, you may make it give the potential which TFT106 turns off, i.e., ($V_{DD}-V_{Reset}$), slightly high potential.

[0091] Since the absolute value of the electrical potential difference between the gate sources of TFT106 becomes large so that VData is close to 0 at this time, the brightness of EL element 109 is high. Since the absolute value of the electrical potential difference between the gate sources of TFT106 becomes small so that VData is a large value, the brightness of EL element 109 is low.

[0092] An image is displayed by performing the above actuation over one screen. Since preservation of a threshold is made only by the capacity means 108 in the case of this invention, the current value to which dispersion in the above capacity value flows to EL element 109 is not influenced, and positive threshold amendment can be performed.

[0093] The digital gradation method with which the threshold of TFT etc. controls EL element 109 only by the brightness of 100% and 0% of two conditions using the field which cannot influence ON current easily as a different method from the analog gradation method of the [gestalt 2 of operation] above-mentioned is proposed. By this method, since only white and 2 black gradation can be expressed, multi-tone-ization has been realized combining a time amount gradation method, an area gradation method, etc.

[0094] A time amount gradation method is the approach of expressing a brightness difference visually using the difference of the time amount to which EL element 109 is emitting light. Although other terms describe detailed actuation, in the case of such a drive approach, EL element 109 should take only luminescence and two nonluminescent conditions. Therefore, only 2 potentials of H level and L level should be given for a video signal VData.

[0095] Now, since TFT106 is a P channel mold, when VData is L level, EL element 109 emits light, and when VData is H level, EL element 109 serves as nonluminescent. What is necessary is just to let that

potential be the potential which can supply many currents to EL element 109 as much as possible among the range shown by drawing 2 (E) 200, and TFT105 does not turn on from the conditions of VData shown with the operation gestalt 1 at this time, when VData is L level. Namely, ($V_{Reset}-|V_{th}|$), what is necessary is to be equal or just to consider as a little high potential. On the other hand, when VData is H level, TFT106 should just consider as the certainly turned-off potential. In this case, especially that potential does not need to be the range shown by 200, and it is desirable to input potentials (for example, VDD etc.) higher than it rather.

[0096] An example which shall be different in a part of connection of TFT is shown in [gestalt 3 of operation] drawing 3 (A) as 3rd operation gestalt. Although it is the same as that of the configuration shown in general in drawing 1 (A), it differs in that the 1st electrode of TFT307 is connected to the 2nd electrode of TFT304 instead of a source signal line.

[0097] Drawing 3 (B) Actuation is explained along with - (E). The potential of V_{Reset} and the current supply source line 311 is VDD, and the potential of the power-source line 310 for reset considers as $V_{Reset} < VDD$. First, the potential of the source signal line 301 serves as VSS ($< V_{Reset}$), the 1st and 2nd gate signal line 302 and 303 serves as H level further, and TFT 304 and 307 turns on. Then, the potential of the gate electrode of TFT 305 and 306 descends. The electrical potential difference between the gate sources of TFT305 becomes lower than a threshold soon, and it turns on, and continuously, the electrical potential difference between the gate sources of TFT306 becomes lower than a threshold, and it turns on (drawing 3 (B)).

[0098] When TFT305 turned on, current pass arises in the power-source line 310 for reset - TFT305-TFT307-TFT304- source signal line 301. Therefore, immediately after TFT 305 and 306 turns each on, TFT307 is turned off by making the 2nd gate signal line 303 into L level. Then, migration of a charge as shown in drawing 3 (C) arises. Since TFT305 turns on, the potential of the gate electrode of TFT 305 and 306 rises. Here, between the gate drains of TFT305, since it connects, TFT305 turns off in the place where the electrical potential difference between the gate sources of TFT305, i.e., the electrical potential difference between source drains of TFT305, became equal to a threshold V_{th} . At this time, the potential of the gate electrode of TFT 305 and 306 is ($V_{Reset}-|V_{th}|$). On the other hand, if the capacity means 308 is observed, the charge is saved by the part from which the potential of the 2nd electrode changed.

[0099] Then, a video signal is inputted from the source signal line 301 (drawing 3 (D)). Only in VData, the potential of the source signal line 301 changes from VSS. Here, also as for the potential of the gate electrode of TFT 305 and 306, only VData changes with capacity coupling by the capacity means 308. TFT305 must not turn on at this time. On the other hand, the source potential of TFT306 is VDD ($> V_{Reset}$), and the electrical potential difference between the gate sources serves as ($V_{Reset}-|V_{th}|+VData-VDD$), and the drain current according to the electrical potential difference between these gate sources is supplied to EL element 309, and emits light (drawing 3 (E)).

[0100] [Gestalt 4 which is operation] Here, the approach which combined the digital gradation method and the time amount gradation method is explained. When you drive using such an approach, let a thing as shows the configuration of a pixel to drawing 9 (A) be an example. It is possible by using TFT906 for elimination in addition to TFT904 for switching, and TFT905 for a drive to control the die length of luminescence time amount finely.

[0101] When a digital gradation method and a time amount gradation method are combined, as shown in drawing 9 (B), an one-frame period is divided at two or more subframe periods. As shown in drawing 9 (C), each subframe period has an address (writing) period and a sustain (luminescence) period, and when still more nearly required, it has an elimination period. As the approach of a gradation expression, the subframe period of the number according to the display number of bits is established, for example. It is the die length of the sustain (luminescence) period in each subframe period 2 (n-1):2 (n-2) : ... It is referred to as :2:1. Luminescence of an EL element or nonluminescent selection is made in each sustain (luminescence) period, and a gradation expression is performed using the difference of the die length of the sum total time amount to which the EL element is emitting light within an one-frame period. If short [if the sum total period which is emitting light excels, brightness is high, and], brightness will be recognized low. The example of 4-bit gradation is shown in drawing 9 (B), and an one-frame period is divided at four subframe periods, and can express 24= 16 gradation with the combination of a sustain (luminescence) period. In addition, about the number of partitions of a frame period, it may be divided not at this limitation but at much more subframe periods.

[0102] Moreover, a gradation expression is faced and the ratio of the die length of a sustain (luminescence) period is not necessarily 2 (n-1):2 (n-2) : ... It is not necessary to be :2:1.

[0103] Since the die length of the sustain (luminescence) period of a lower bit becomes shorter when attaining multi-tone-ization by this approach, if it is going to start the next address period immediately, the period when the address (writing) period of a different subframe period overlaps will arise after termination of a sustain (luminescence) period. In that case, since the video signal inputted into a certain pixel will be inputted also into a pixel which is different in coincidence, a normal display becomes impossible. An elimination period is established so that the address (writing) period belonging to the subframe period which adjoins after Ts3 and Ts4 may not overlap in drawing 9 (B) as a period which solves such a problem. Therefore, the elimination period is not established in anxious SF1 and anxious SF2 which duplication of the address (writing) period belonging to the subframe period when a sustain (luminescence) period is long at and adjoins produces and which are not.

[0104] Drawing 4 (A) adds the 3rd gate signal line 414 and TFT415 for elimination to the pixel of a configuration of that the operation gestalt 1 showed, and uses for it the approach which combined the digital gradation method and the time amount gradation method. The gate electrode of TFT415 for elimination is connected to the 3rd gate signal line 414, the 1st electrode of TFT415 for elimination is connected to the gate signal line of TFT406, and the 2nd electrode of TFT415 for elimination is connected to the current supply source line 411. Moreover, what is necessary is just to prepare between the gate electrode of TFT406, and the part which can obtain a certain constant potential, in establishing the retention volume means 413 in order to hold a video signal. In the case of drawing 4, it has prepared between the current supply source lines 411, but the gate signal line of the preceding paragraph etc. may be used, for example. Moreover, you may prepare between the 2nd electrode of TFT404, and the constant potential of current supply source line 411 grade, and you may prepare in both to enlarge the value of retention volume.

[0105] Initialization to the input of a video signal and luminescence are the same as that of what was explained with the operation gestalt 1. In addition, TFT415 for elimination turns off in initialization, the input of a video signal, and a sustain (luminescence) period.

[0106] Here, the actuation in an elimination period is explained using drawing 4 and drawing 12 from a sustain (luminescence) period. Drawing 12 (A) is the same as that of what was shown in drawing 9 (B), and an one-frame period has four subframe periods. The sustain (luminescence) period has the elimination periods Te3 and Te4 in the short subframe periods SF3 and SF4, respectively as shown in drawing 12 (B). Here, actuation in SF3 is explained as an example.

[0107] After the input of a video signal is completed, as shown in drawing 4 (B), the current according to an electrical potential difference flows and emits light between the gate sources of TFT406 at EL element 409. Then, if the timing which the sustain (luminescence) period concerned ends is reached, a pulse will be inputted into the 3rd gate signal line 414, it will be set to H level, and TFT415 will turn on, and as shown in drawing 4 (C), the electrical potential difference between the gate sources of TFT406 will be set to 0. TFT406 turns off, the current to EL element 409 is intercepted by this actuation, and EL element 409 serves as nonluminescent compulsorily by it.

[0108] The timing chart about these actuation was shown in drawing 12 (C). The period which performs initialization, threshold preservation, and video-signal writing is included at an address (writing) period. After a sustain (luminescence) period, after a pulse is inputted into the 3rd gate signal line 414 and EL element 409 serves as nonluminescent, a period until a pulse is inputted into the 2nd gate signal line 403 next and initialization starts turns into an elimination period.

[0109] In the [gestalt 5 of operation] book operation gestalt, the example which performs elimination actuation by configuration which is different in the operation gestalt 4 is explained using drawing 5.

[0110] Although it is the configuration that drawing 5 (A) has TFT415 for elimination like the operation gestalt 4, in the operation gestalt 4, it connects with the 1st electrode of the capacity means 408 in drawing 5 (A) to the 1st electrode of TFT415 having been connected to the gate electrode of TFT406, i.e., the 2nd electrode of the capacity means 408.

[0111] After the input of a video signal is completed, as shown in drawing 5 (B), the current according to an electrical potential difference flows and emits light between the gate sources of TFT406 at EL element 409. Then, if the timing which the sustain (luminescence) period concerned ends is reached, a pulse is inputted into the 3rd gate signal line 414, and it is set to H level, TFT415 will turn on, and as shown in drawing 5 (C), the potential in the 1st electrode of the capacity means 408 will serve as VDD. Therefore, since the potential of the gate electrode of TFT406 becomes still higher than VDD, the electrical potential difference between the gate sources serves as a forward value. TFT406 turns off, the current to EL element 409 is intercepted by this actuation, and EL element 409 serves as nonluminescent compulsorily by it.

[0112] That is, actuation of an elimination period intercepts the current to EL element 409 by making the

electrical potential difference between the gate sources of TFT406 which is functioning as TFT for a drive for supplying a current to EL element 409 into an electrical potential difference which TFT406 turns off. As long as it is based on such a principle, the location of TFT415 for elimination is not limited.

[0113] In the gestalten 4 and 5 of the [gestalt 6 of operation] operation, actuation of an elimination period was intercepting the current to EL element 409 by making the electrical potential difference between the gate sources of TFT406 which is functioning as TFT for a drive for supplying a current to EL element 409 into an electrical potential difference which TFT406 turns off. The example using other approaches is shown in drawing 6 (A). In the gestalten 4 and 5 of operation, although TFT415 for elimination was formed between the current supply source line 411, the gate electrode of TFT406 or the current supply source line 411, and the 1st electrode of the capacity means 408, in this operation gestalt, TFT415 for elimination is formed between TFT406 and EL element 409. That is, by the technique of this operation gestalt, the current supply source to EL element 409 is intercepted by adding TFT to one location of the paths of current supply source line -TFT406 - EL element 409, and turning off the TFT.

[0114] About initialization, the input of a video signal, and luminescence, it is the same as that of the gestalten 4 and 5 of operation. However, TFT415 for elimination is turned on only at a sustain (luminescence) period, and as shown in drawing 6 (B), a current flows. In initialization, the input of a video signal, and an elimination period, TFT415 turns off and intercepts the current to EL element 409.

[0115] As a different point in respect of actuation from the gestalten 4 and 5 of operation, since the electrical potential difference between the gate sources of TFT406 is controlled by turning on TFT415 for elimination once in the gestalten 4 and 5 of operation, once performing this actuation, EL element 409 does not emit light until the following video signal is written in. Therefore, the pulse inputted into the 3rd gate signal line 414 Although what is necessary is just to input a short pulse to the timing which starts an elimination period as shown in drawing 12 (C), it sets in this operation gestalt. Since it is necessary to turn on TFT415 for elimination through a sustain (luminescence) period, it needs to input a pulse into the 3rd gate signal line 415 by die length equal to a sustain (luminescence) period for every subframe period.

[0116] Moreover, in the gestalten 4 and 5 and this operation gestalt of operation, although TFT for elimination uses the N channel mold TFT, since TFT for elimination is used as a mere switching element, especially the polarity is not limited.

[0117] In the gestalten 1-6 of the [gestalt 7 of operation] operation, it is carrying out to initialization actuation before a video signal is inputted using a certain TFT. The threshold which specifically appears between the source drains of TFT to which the gate electrode and the drain field were connected is acquired. On the other hand, in drawing 7 (A), diode 713 is used instead of TFT. The 1st electrode of diode 713 is connected to the gate electrode of TFT706, and the 2nd electrode is connected to the 2nd gate signal line 703. Moreover, what is necessary is just to prepare between the gate electrode of TFT706, and the part which can obtain the constant potential of current supply source line 710 grade, in establishing the capacity means 712 in order to hold a video signal. Moreover, you may prepare between the 2nd electrode of TFT704, and the part which can obtain the constant potential of current supply source line 710 grade, and you may prepare in both to enlarge the value of retention volume.

[0118] A different point from the gestalt 1 of operation is only actuation in the case of initialization. Here, the explanation about the input and luminescence actuation of a video signal is omitted, and explains the actuation in the case of initialization using drawing 7 (B).

[0119] First, let potential of the 2nd gate signal line 703 be H level (for example, VDD). Then, to the timing of initialization, if potential of the 2nd gate signal line 703 is made into L level (for example, VSS), forward bias will start diode 713, a current will arise so that it may be shown in a low node (B), i.e., drawing 7 , from a node with high potential, and the potential of the gate electrode of TFT 705 and 706 will descend. Soon, in TFT705, the electrical potential difference between the gate sources becomes lower than a threshold electrical potential difference, and it turns on, and further, in TFT706, the electrical potential difference between the gate sources becomes lower than a threshold electrical potential difference, and it turns on after that. Completing initialization here, the potential of the 2nd gate signal line 703 serves as H level again. At this time, a reverse bias starts diode 713 and a current does not flow in the period which is performing input of a video signal, and luminescence actuation.

[0120] Henceforth, the current according to the inputted video signal as well as the gestalt 1 of operation flows and emits light to EL element 708.

[0121] Drawing 7 (C) shows the example which established the capacity means 714 instead of diode 713. The 1st electrode of the capacity means 714 is connected to the gate electrode of TFT706, and the 2nd electrode is connected to the 2nd gate signal line 703. Also in this case, first, actuation is the same as that of

what was shown in drawing 7 (B), the 2nd gate signal line 703 is made into H level, and is the timing of initialization and makes L level potential of the 2nd gate signal line 703. Since TFT705 turns off at this time, the potential of the gate electrode of TFT 705 and 706 descends by capacity coupling by the capacity means 714. Soon, in TFT705, the electrical potential difference between the gate sources becomes lower than a threshold electrical potential difference, and it turns on, and further, in TFT706, the electrical potential difference between the gate sources becomes lower than a threshold electrical potential difference, and it turns on after that.

[0122] Then, TFT704 turns on and the input of a video signal is performed. What is necessary is just to let it be H level, while the video signal is inputted although the 2nd gate signal line 703 serves as L level at this time.

[0123] Henceforth, the current according to the inputted video signal as well as the gestalt 1 of operation flows and emits light to EL element 708.

[0124] As for the indicating equipment which made [gestalt 8 of operation] TFT etc. on the substrate, and really formed the picture element part and the circumference circuit, addition of membrane formation, the component formation by the repeat of etching, and the impurity element for giving conductivity to a semiconductor layer etc. has the complexity of a making process to small and the advantage of being lightweight. With the P channel mold TFT and the N channel mold TFT, since especially addition of an impurity element serves as another process, it has caused the increment in a process further.

[0125] Then, a part of addition process of an impurity element can be skipped by constituting a picture element part and a circumference circuit by single polar TFT. Process compaction is not only attained by this, but it can reduce the number of sheets of a photo mask.

[0126] As an example constituted using single polar TFT, there is a configuration of an application for patent [No. 348032 / 2001 to] publication by this artificer. This is constituted only using the N channel mold TFT with high electric field effect mobility, and even if degradation of an EL element arises further, it is a lifting with the pile configuration about the brightness fall.

[0127] In this operation gestalt, the brightness fall accompanied by the configuration which has both advantages, i.e., degradation of an EL element, is controlled by the configuration which combined this technique with this invention, and the configuration which can amend threshold dispersion of TFT is explained.

[0128] The example of a configuration is shown in drawing 16 (A). the source signal line 1601 and the 1- it has the 3rd gate signal line 1602-1604, TFT 1605-1609, the capacity means 1610 and 1611, EL element 1612, the power-source line 1613 for reset, the current supply source line 1614, and the power-source lines 1615 and 1616. What is necessary is just to prepare between the gate electrode of TFT1607, and the part which can obtain the constant potential of current supply source line 1614 grade, in establishing the retention volume means 1617.

[0129] The gate electrode of TFT1605 is connected to the 1st gate signal line 1602, the 1st electrode is connected to the source signal line 1601, and the 2nd electrode is connected to the 1st electrode of the capacity means 1610. It connects mutually and the gate electrode and the 1st electrode of TFT1606 are connected to the 2nd electrode of the capacity means 1610. The 2nd electrode of TFT1606 is connected to the power-source line 1613 for reset. The gate electrode of TFT1607 is connected to the gate electrode and the 1st electrode of TFT1606, the 1st electrode is connected to the current supply source line 1614, and the 2nd electrode is connected to the 1st electrode (anode plate) of EL element 1612. The gate electrode of TFT1608 is connected to the 2nd gate signal line 1603, the 1st electrode is connected to the source signal line 1601, and the 2nd electrode is connected to the gate electrode of TFT 1606 and 1607. The gate electrode of TFT1609 is connected to the 3rd gate signal line 1604, the 1st electrode is connected to the power-source line 1616, and the 2nd electrode is connected to the 1st electrode (anode plate) of EL element 1612. The 2nd electrode (cathode) of EL element 1612 is connected to the power-source line 1615. The 1st electrode of the capacity means 1611 is connected to the 2nd electrode of TFT1605, and the 2nd electrode of the capacity means 1611 is connected to the 1st electrode (anode plate) of EL element 1612.

[0130] Actuation is explained along with drawing 16 (B) and drawing 17 (A) - (E). the 1- the timing chart of the pulse inputted into the 3rd gate signal line 1602-1604 and the video signal inputted into the source signal line 1601 is shown in drawing 16 (B). A video signal is inputted to the timing shown by "V", and takes predetermined potential.

[0131] Now, the potential of VReset and the current supply source line 1614 is [the potential of VC and the power-source line 1616 of the potential of VDD and the power-source line 1615] VSS, and the potential of the power-source line 1613 for reset is VSS<VC<VDD<VReset. First, potential of the source signal line

1601 is set to VX (>VReset). And if the 2nd and 3rd gate signal line 1603 and 1604 serves as H level and both TFT(s) 1608 and 1609 turn on, as shown in drawing 17 (A), a current will arise, and the potential of the gate electrode of TFT 1606 and 1607 will rise. Soon, the electrical potential difference between the gate sources of TFT1606 exceeds a threshold, TFT1606 turns on, the electrical potential difference between the gate sources of TFT1607 exceeds a threshold further, and TFT1607 turns on. Initialization is completed in the above actuation.

[0132] After completion of initialization, the 2nd gate signal line serves as L level immediately, and TFT1608 turns off. Then, the potential of the gate electrode of TFT 1606 and 1607 begins descent. And TFT1606 turns off in the place where the potential became equal to a threshold in (VReset+Vth, i.e., the electrical potential difference between the gate sources of TFT1606). Thereby, the potential difference arises between the two electrodes of the capacity means 1610, and this is held.

[0133] On the other hand, at this time, since it is turned on since the electrical potential difference between the gate sources of TFT1607 has exceeded the threshold, and TFT1609 is also turned on, as shown in the path of the current supply source line 1614-TFT1607-TFT1609 - power-source line 1616 at drawing 17 (B), a current flows, but at this time, in EL element 1612, since it is VSS<VC, a current does not flow.

Therefore, EL element 1612 does not emit light here.

[0134] Then, the input of a video signal is started. The video signal which had predetermined potential in the source signal line 1601 which was being fixed to potential VX is inputted, and the potential of the source signal line 1601 serves as (VX-VData). The electrical potential difference between the gate sources is smaller than a threshold, and TFT1606 has been turned off. On the other hand, the electrical potential difference between the gate sources of TFT1607 serves as (VReset+Vth-VData-VDD), and the drain current according to this electrical potential difference flows (drawing 17 (C)).

[0135] After the input of a video signal is completed, the 1st gate signal line 1602 serves as L level, TFT1605 turns off, the 3rd gate signal line 1604 serves as L level after that, and TFT1609 turns off. Thereby, the current which flows TFT1607 flows and emits light to EL element 1612 (drawing 17 (D)).

[0136] Here, the potential VReset of the power-source line 1613 for reset, the potential VDD of the current supply source line 1614, the potential of the source signal line 1601, and the size relation of a video signal VData are explained using drawing 17 (E).

[0137] The potential of the gate electrode of TFT 1606 and 1607 is considered. By initialization of drawing 17 (A), the potential of the gate electrode of TFT 1606 and 1607 turns into the potential shown in drawing 17 (E) by **, i.e., VX. then, the potential which the potential of the gate electrode of TFT 1606 and 1607 descended to the period which is saving the threshold, and was finally shown in drawing 17 (E) by ** -- that is, (VReset+|Vth|), it becomes. Then, an input of a video signal changes only VData from the potential of ** further. Here, when this change is forward, the potential of the gate electrode of TFT 1606 and 1607 becomes higher than the potential of **. That is, since the electrical potential difference between the gate sources of TFT1606 becomes higher than a threshold and is turned on, it is contrary to the above-mentioned conditions. Therefore, change of a video signal needs to be negative. therefore, the potential which showed the potential of TFT 1606 and 1607 to drawing 17 (E) by ** by the input of a video signal -- that is, (VReset+|Vth|-VData), it becomes. Moreover, in TFT1607, since it turns off if the potential of the gate electrode becomes low rather than VDD+|Vth|, the range of the potential which a video signal VData can take needs to be the range shown in drawing 17 (E) by 1700, i.e., $0 \leq VData \leq VReset - VDD$, (preferably, it is $0 < VData \leq VReset - VDD$ so that TFT1606 may certainly turn off). However, when it is in the condition that gradation 0 1612, i.e., an EL element, does not emit light at all, you may make it give slightly larger potential than (VReset-VDD) as VData, as certainly turned off in TFT1607.

[0138] Since the absolute value of the electrical potential difference between the gate sources of TFT1607 becomes large so that VData is close to 0 at this time, the brightness of EL element 1612 is high. Since the absolute value of the electrical potential difference between the gate sources of TFT1607 becomes small so that VData is a large value, the brightness of EL element 1612 is low.

[0139] Although the above explanation has gone taking the case of the case of the display by the analog gradation method, the display by digital gradation as shown in the gestalt 2 of operation can be performed similarly. Moreover, when using a time amount gradation method, it is also easy to combine the configuration which prepared TFT for elimination, and this operation gestalt.

[0140]

[Example] Below, the example of this invention is indicated.

[0141] In [example 1] this example, the configuration of the luminescence equipment which displays on a video signal by using an analog video signal is explained. The example of a configuration of luminescence

equipment is shown in drawing 18 (A). On the substrate 1801, two or more pixels have the picture element part 1802 arranged in the shape of a matrix, and have the source signal-line drive circuit 1803 and 1st, and 2nd gate signal line drive circuit 1804 and 1805 around the picture element part. In drawing 18 (A), the 1st and 2nd gate signal line is controlled using 2 sets of gate signal line drive circuits, respectively.

[0142] The signal inputted into the source signal-line drive circuit 1803, 1st, and 2nd gate signal line drive circuit 1804 and 1805 is supplied from the exterior through a flexible printed circuit board (Flexible Print Circuit:FPC) 1806.

[0143] The example of a configuration of a source signal-line drive circuit is shown in drawing 18 (B). This is a source signal-line drive circuit for displaying on a video signal by using an analog video signal, and has the shift register 1811, the buffer 1812, and the sampling circuit 1813. Although not illustrated especially, a level shifter etc. may be added if needed.

[0144] Actuation of a source signal-line drive circuit is explained. Since the more detailed configuration was shown in drawing 19 (A), it refers to there.

[0145] As for a shift register 1901, two or more steps of clock signals (S-CLK), clock reversal signals (S-CLKb), and start pulses (S-SP) are inputted coming [flip-flop circuit (FF) 1902 grade] to use. According to the timing of these signals, a sampling pulse is outputted one by one.

[0146] After the sampling pulse outputted from the shift register 1901 is amplified through buffer 1903 grade, it is inputted into a sampling circuit. A sampling circuit 1904 samples a video signal in a certain train according to the timing into which two or more steps of sampling pulses are inputted coming [a sampling switch (SW) 1905] to use. If a sampling pulse is inputted into a sampling switch, a sampling switch 1905 will turn on and, specifically, the potential which a video signal has then will be outputted to each source signal line through a sampling switch.

[0147] Then, actuation of a gate signal line drive circuit is explained. An example of the detailed configuration about the 1st and 2nd gate signal line drive circuit 1804 and 1805 shown in drawing 18 (C) was shown in drawing 19 (B). The 1st gate signal line drive circuit has a shift register circuit 1911 and a buffer 1912, and drives them according to a clock signal (G-CLK1), a clock reversal signal (G-CLKb1), and a start pulse (G-SP1). The same is said of the 2nd gate signal line drive circuit 2405, and a configuration's is good.

[0148] About actuation of a shift register - a buffer, it is the same as that of the case of a source signal-line drive circuit. The selection pulse amplified by the buffer chooses each gate signal line. Sequential selection of the 1st gate signal line G11, G21, ..., Gm1 is made by the 1st gate signal line drive circuit, and sequential selection of the 2nd gate signal line G12, G22, ..., Gm2 is made by the 2nd gate signal line drive circuit. Although not illustrated, it is the same as that of the 1st and 2nd gate signal line drive circuit also about the 3rd gate signal line drive circuit, and sequential selection of the 3rd gate signal line G13, G23, ..., Gm3 is made. In the selected line, a video signal is written in a pixel by the procedure explained with the operation gestalt, and light is emitted.

[0149] In addition, as an example of a shift register, although the thing which comes to use two or more steps of D-flip-flops was illustrated, you may be considering as the configuration which can choose a signal line by the decoder etc. here.

[0150] In [example 2] this example, the configuration of the luminescence equipment which displays on a video signal by using a digital video signal is explained. The example of a configuration of luminescence equipment is shown in drawing 20 (A). On the substrate 2001, two or more pixels have the picture element part 2002 arranged in the shape of a matrix, and have the source signal-line drive circuit 2003 and 1st, and 2nd gate signal line drive circuit 2004 and 2005 around the picture element part. In drawing 20 (A), the 1st and 2nd gate signal line is controlled using 2 sets of gate signal line drive circuits, respectively.

[0151] The signal inputted into the source signal-line drive circuit 2003, 1st, and 4th gate signal line drive circuit 2004 and 2005 is supplied from the exterior through a flexible printed circuit board (Flexible Print Circuit:FPC) 2006.

[0152] The example of a configuration of a source signal-line drive circuit is shown in drawing 20 (B). This is a source signal-line drive circuit for displaying on a video signal by using a digital video signal, and has a shift register 2011, the 1st latch circuit 2012, the 2nd latch circuit 2013, and the D/A conversion circuit 2014. Although not illustrated especially, a level shifter etc. may be added if needed.

[0153] About the 1st and 2nd gate signal line drive circuit 2004 and 2005, since you may be the same as that of what was shown in the example 1, illustration and explanation are omitted here.

[0154] Actuation of a source signal-line drive circuit is explained. Since the more detailed configuration was shown in drawing 21 (A), it refers to there.

[0155] As for a shift register 2101, two or more steps of clock signals (S-CLK), clock reversal signals (S-CLKb), and start pulses (S-SP) are inputted coming [flip-flop circuit (FF) 2110 grade] to use. According to the timing of these signals, a sampling pulse is outputted one by one.

[0156] The sampling pulse outputted from the shift register 2101 is inputted into the 1st latch circuit 2102. The digital video signal is inputted into the 1st latch circuit 2102, and the digital video signal is held in each stage according to the timing into which a sampling pulse is inputted. Here, the triplet input is carried out and a digital video signal holds the video signal of each bit in each 1st latch circuit. By one sampling pulse, the 1st three latch circuit operates in parallel here.

[0157] In the 1st latch circuit 2102, if maintenance of a digital video signal is completed to the last stage, a latch pulse (Latch Pulse) will be inputted into the 2nd latch circuit 2103 during a horizontal blanking interval, and the digital video signals currently held at the 1st latch circuit 2102 will be transmitted to the 2nd latch circuit 2103 all at once. Then, as for the digital video signal held at the 2nd latch circuit 2103, one line is inputted into coincidence to the D/A conversion circuit 2104.

[0158] While the digital video signal held at the 2nd latch circuit 2103 is inputted into the D/A conversion circuit 2104, in a shift register 2101, a sampling pulse is outputted again. Henceforth, this actuation is repeated and the video signal for one frame is processed.

[0159] In the D/A conversion circuit 2104, digital to analog of the digital video signal inputted is carried out, and it outputs to a source signal line as a video signal which has analog voltage.

[0160] The aforementioned actuation is performed to coincidence over a whole page within 1 level period. Therefore, a video signal is outputted to all source signal lines.

[0161] In addition, a decoder etc. may be used instead of a shift register and you may be considering as the configuration which can choose a signal line as the example 1 was described.

[0162] In the [example 3] example 2, although a digital video signal receives digital to analog and is written in a pixel by the D/A conversion circuit, the semiconductor device of this invention can also perform a gradation expression with a time amount gradation method. In this case, since a D/A conversion circuit is not needed, but a gradation expression is controlled by the merits and demerits of the luminescence time amount of an EL element to be shown in drawing 21 (B) and it is not necessary to carry out parallel processing of the video signal of each bit, the 1st and 2nd latch circuits are also good at 1 bit. At this time, each bit is inputted into a serial, and is held one by one at a latch circuit, and a digital video signal is written in a pixel. Of course, the parallel arrangement of the latch circuit only for the need number of bits may be carried out.

[0163] [Example 4] this example explains the example which produced luminescence equipment using this invention using drawing 15.

[0164] Drawing 15 is the plan of the luminescence equipment formed by closing the component substrate with which TFT was formed with a sealing material, and a sectional view [in / in drawing 15 (B) / A-A' of drawing 15 (A)] and drawing 15 (C) are the sectional views in B-B' of drawing 15 (A).

[0165] The sealant 4009 is formed as the picture element part 4002 prepared on the substrate 4001, the source signal-line drive circuit 4003, and the 1st and 2nd gate signal line drive circuits 4004a and 4004b are surrounded. Moreover, the sealing material 4008 is formed on a picture element part 4002, the source signal-line drive circuit 4003, and the 1st and 2nd gate signal line drive circuits 4004a and 4004b. Therefore, a picture element part 4002, the source signal-line drive circuit 4003, and the 1st and 2nd gate signal line drive circuits 4004a and 4004b are sealed with the filler 4210 by the substrate 4001, the sealant 4009, and the sealing material 4008.

[0166] Moreover, the picture element part 4002 prepared on the substrate 4001, the source signal-line drive circuit 4003, and the 1st and 2nd gate signal line drive circuits 4004a and 4004b have two or more TFT(s). In drawing 15 (B), TFT4202 typically contained in TFT (however, the N channel mold TFT and the P channel mold TFT are illustrated here)4201 contained in the source signal-line drive circuit 4003 and the picture element part 4002 which were formed on the substrate film 4010 was illustrated.

[0167] On TFT4201 and 4202, an interlayer insulation film (flattening film) 4301 is formed, and the pixel electrode (anode plate) 4203 electrically connected with the drain of TFT4202 is formed on it. As a pixel electrode 4203, the large transparence electric conduction film of a work function is used. As transparence electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transparence electric conduction film.

[0168] And an insulator layer 4302 is formed on the pixel electrode 4203, and, as for the insulator layer 4302, opening is formed on the pixel electrode 4203. In this opening, the organic luminous layer 4204 is

formed on the pixel electrode 4203. The organic luminous layer 4204 can use a well-known organic luminescent material or an inorganic luminescent material. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient in an organic luminescent material.

[0169] The formation approach of the organic luminous layer 4204 should just use a well-known vacuum evaporation technique or the applying method technique. Moreover, what is necessary is just to make structure of an organic luminous layer into a laminated structure or monolayer structure, combining freely a hole injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, or an electronic injection layer.

[0170] On the organic luminous layer 4204, the cathode 4205 which consists of electric conduction film (the electric conduction film which uses aluminum, copper, or silver as a principal component typically, or cascade screen of them and other electric conduction film) which has protection-from-light nature is formed. Moreover, as for the moisture which exists in the interface of cathode 4205 and the organic luminous layer 4204, or oxygen, eliminating as much as possible is desirable. Therefore, the device of forming the organic luminous layer 4204 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4205, making neither oxygen nor moisture touched is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method). And the electrical potential difference predetermined in cathode 4205 is given.

[0171] The light emitting device 4303 which consists of the pixel electrode (anode plate) 4203, an organic luminous layer 4204, and cathode 4205 as mentioned above is formed. And the protective coat 4303 is formed on the insulator layer 4302 so that a light emitting device 4303 may be covered. The protective coat 4303 is effective for preventing oxygen, moisture, etc. entering into a light emitting device 4303.

[0172] 4005a is leading-about wiring connected to the power-source line, and is connected to the 1st electrode of TFT4202. Leading-about wiring 4005a passes along between a sealant 4009 and substrates 4001, and is electrically connected to the wiring 4301 for FPC which FPC4006 has through the anisotropic conductive film 4300.

[0173] As a sealing material 4008, glass material, metal material (typically stainless steel material), ceramic material, and plastics material (plastic film is also included) can be used. As plastics material, an FRP (Fiberglass-Reinforced-Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic resin film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil with the PVF film or the Mylar film can also be used.

[0174] However, covering material must be transparent when the direction of a light emission from a light emitting device goes to a covering material side. In that case, transparency matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.

[0175] Moreover, the ultraviolet-rays hardening resin or heat-curing resin other than a gas with nitrogen, an argon, etc. inactive as a filler 4103 can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicon resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. In this example, nitrogen was used as a filler.

[0176] Moreover, in order to expose the filler 4103 to the matter which can adsorb the hygroscopic matter (preferably barium oxide) or oxygen, the matter 4207 which establishes a crevice 4007 in the field by the side of a sealing material's 4008 substrate 4001, and can adsorb the hygroscopic matter or oxygen is arranged. And the matter 4207 which can adsorb the hygroscopic matter or oxygen by the crevice covering material 4208 is held in the crevice 4007 so that the matter 4207 which can adsorb the hygroscopic matter or oxygen may not scatter. In addition, the crevice covering material 4208 is the shape of a fine mesh of an eye, and the matter 4207 with which air and moisture can adsorb through, the hygroscopic matter, or oxygen has composition which it does not let pass. Degradation of a light emitting device 4303 can be controlled by forming the matter 4207 which can adsorb the hygroscopic matter or oxygen.

[0177] Conductive film 4203a is formed so that it may touch on leading-about wiring 4005a, at the same time the pixel electrode 4203 is formed, as shown in drawing 15 (C).

[0178] Moreover, the anisotropic conductive film 4300 has conductive filler 4300a. By carrying out thermocompression bonding of a substrate 4001 and FPC4006, the wiring 4301 for FPC on conductive film 4203a and FPC4006 on a substrate 4001 is electrically connected by conductive filler 4300a.

[0179] The configuration shown in [example 5] drawing 22 by drawing 1 (A) shows the example which actually produced the pixel. The part surrounded by the dotted-line frame 2200 is 1 pixel, and other drawing numbers are the same as that of what was given to drawing 1 (A).

[0180] Here, using the ingredient which forms a gate electrode, and the ingredient of this layer, the source

signal line 101, the power-source line 110 for reset, and the current supply source line 111 are formed, and the 1st and 2nd gate signal lines 102 and 103 are formed using a wiring material.

[0181] The pixel electrode 120 is used as the transparent electrode here, and is connected with the drain electrode of TFT106. The contact is taken when the transparency electric conduction film which forms the pixel electrode 120 through the pixel electrode 120 and the drain electrode of TFT106, and a wiring material suit a contact hole etc. in a direct pile. Of course, it is very good in a contact by approaches other than this.

[0182] In addition, although the capacity means 108 and the retention volume means 113 are formed between a gate ingredient and a wiring material, they are not limited to especially this mold. since [moreover,] TFT 104-107 is easy -- actually -- **** -- channel length L and channel width W are not necessarily in agreement -- as -- although not shown -- the phase of a design -- it is -- the value of desired L and W -- determining -- every -- the sizes of TFT may differ.

[0183] Since the luminescence equipment using a [example 6] light emitting device is a spontaneous light type, compared with a liquid crystal display, it is excellent in the visibility in a bright location, and its angle of visibility is large. Therefore, it can use for the display of various electronic equipment.

[0184] As electronic equipment using the luminescence equipment of this invention, a video camera, a digital camera, A goggles mold display (head mount display), a navigation system, Sound systems (a car audio, audio component stereo, etc.), a note type personal computer, A game device, a Personal Digital Assistant (a mobile computer, a cellular phone, a handheld game machine, or digital book), The picture reproducer (equipment equipped with the display which specifically reproduces record media, such as Digital Versatile Disc (DVD), and can display the image) equipped with the record medium etc. is mentioned. Since importance is attached to the size of an angle of visibility, as for especially the Personal Digital Assistant with many opportunities to see a screen from across, it is desirable to use luminescence equipment. The example of these electronic equipment is shown in drawing 13.

[0185] Drawing 13 (A) is a light emitting device display, and contains a case 3001, susceptor 3002, a display 3003, the loudspeaker section 3004, and video input terminal 3005 grade. The luminescence equipment of this invention can be used for a display 3003. Since it is a spontaneous light type, luminescence equipment has an unnecessary back light, and it can be made into a display thinner than a liquid crystal display. In addition, as for a light emitting device display, all the displays for information displays the object for personal computers, the object for TV broadcast reception, for an advertising display, etc. are contained.

[0186] Drawing 13 (B) is a digital still camera, and contains a body 3101, a display 3102, the television section 3103, the actuation key 3104, the external connection port 3105, and shutter 3106 grade. The luminescence equipment of this invention can be used for a display 3102.

[0187] Drawing 13 (C) is a note type personal computer, and contains a body 3201, a case 3202, a display 3203, a keyboard 3204, the external connection port 3205, and pointing mouse 3206 grade. The luminescence equipment of this invention can be used for a display 3203.

[0188] Drawing 13 (D) is a mobile computer and contains a body 3301, a display 3302, a switch 3303, the actuation key 3304, and infrared port 3305 grade. The luminescence equipment of this invention can be used for a display 3302.

[0189] Drawing 13 (E) is the picture reproducer (specifically DVD regenerative apparatus) of the pocket mold equipped with the record medium, and contains a body 3401, a case 3402, a display A3403, a display B3404, the record-media (DVD etc.) reading section 3405, the actuation key 3406, and loudspeaker section 3407 grade. although a display A3403 mainly displays image information and a display B3404 mainly displays text -- the luminescence equipment of this invention -- these displays A and B -- it can use for 3403 and 3404. In addition, a home video game machine machine etc. is contained in the picture reproducer equipped with the record medium.

[0190] Drawing 13 (F) is a goggles mold display (head mount display), and contains a body 3501, a display 3502, and the arm section 3503. The luminescence equipment of this invention can be used for a display 3502.

[0191] Drawing 13 (G) is a video camera and contains a body 3601, a display 3602, a case 3603, the external connection port 3604, the remote control receive section 3605, the television section 3606, a dc-battery 3607, the voice input section 3608, the actuation key 3609, and eye contacting part 3610 grade. The luminescence equipment of this invention can be used for a display 3602.

[0192] Drawing 13 (H) is a cellular phone and contains a body 3701, a case 3702, a display 3703, the voice input section 3704, the voice output section 3705, the actuation key 3706, the external connection port 3707, and antenna 3708 grade. The luminescence equipment of this invention can be used for a display 3703. In

addition, a display 3703 can stop the consumed electric current of a cellular phone by displaying a white alphabetic character on a black background.

[0193] In addition, if the luminescence brightness of an organic luminescent material will become high in the future, it will also become possible to carry out expansion projection of the light containing the outputted image information with a lens etc., and to use for the projector of a front mold or a rear mold.

[0194] Moreover, the above-mentioned electronic equipment displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable television), and its opportunity to display especially animation information has been increasing. Since the speed of response of an organic luminescent material is very high, luminescence equipment is desirable to a movie display.

[0195] Moreover, in order that the part which is emitting light may consume power, as for luminescence equipment, it is desirable to display information that the amount of light-emitting part decreases as much as possible. Therefore, when using luminescence equipment for the display which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a sound system, it is desirable to drive so that text may be formed by part for a light-emitting part by making a nonluminescent part into a background.

[0196] As mentioned above, the applicability of this invention is very wide, and using for the electronic equipment of all fields is possible. Moreover, the electronic equipment of this example may use the luminescence equipment of which configuration shown in examples 1-7.

although the phenomenon in which of the electrical potential difference between a sink and a source drain become equal to the threshold of a transistor about a current between source drains where between the gate drains of the transistor use for amendment be short-circuit and diode-ize as the approach of threshold amendment of the transistor in [example 7] this invention be use, not only the application to a picture element part which be introduced by this invention but the application to a drive circuit be possible for this.

[0197] As an example, the current source circuit in the drive circuit which outputs a current to a pixel etc. is mentioned. A current source circuit is a circuit which outputs a desired current from the inputted voltage signal. A voltage signal is inputted into the gate electrode of the current source transistor in a current source circuit, and the current according to the electrical potential difference between the gate sources is outputted through a current source transistor. That is, the threshold amendment approach of this invention is used for threshold amendment of a current source transistor.

[0198] The example of use of a current source circuit is shown in drawing 23 (A). A sampling pulse is outputted one by one from a shift register, this sampling pulse is inputted into each current source circuit 9001, and this sampling pulse samples a video signal according to the timing inputted into the current source circuit 9001. In this case, a sampling action is performed by point sequential.

[0199] Easy timing of operation is shown in drawing 23 (B). A sampling pulse is outputted from a shift register and the period when the gate signal line of the i-th line is chosen is divided into the period which samples a video signal, and a fly-back-line period. In this fly-back-line period, a series of actuation which initializes threshold amendment actuation of this invention, i.e., the potential of each part, or acquires the threshold electrical potential difference of a transistor is performed. That is, threshold acquisition actuation can be performed for every 1 level period.

[0200] Drawing 23 shows the configuration of the drive circuit which outputs the current of a configuration of differing to a pixel etc. to drawing 24 (A). As a different point from the case of drawing 23 $R > 3$, the current source circuit 9001 controlled by one step of sampling pulse is two, 9001A and 9001B, and actuation of both sides is chosen by the current source control signal.

[0201] It is made for a current source control signal to change for every 1 level period, as shown in drawing 24 (B). Then, as for actuation of the current source circuits 9001A and 9001B, one side performs the current output to a pixel etc., and another side performs the input of a video signal etc. This interchanges for every line and is performed. In this case, a sampling action is performed by line sequential.

[0202] The configuration of the drive circuit of a configuration of differing further in drawing 25 (A) is shown. In drawing 23 and drawing 24, although the format of a video signal does not ask a digital analog, it inputs a digital video signal with the configuration of drawing 25 (A). After being taken in by the 1st latch circuit according to the output of a sampling pulse and completing incorporation of the video signal for a party, the inputted digital video signal is transmitted to the 2nd latch circuit, and is inputted into each current source circuits 9001A-9001C after that. Here, the current values to which the current source circuits 9001A-9001C are outputted from each differ. For example, the ratio of a current value is 1:2:4. That is, n current source circuits are arranged to juxtaposition, and it is the ratio of the current value 1:2:4 : ... The current value outputted can be changed in linearity by being referred to as 2 (n-1), and adding the current outputted

from each current source circuit.

[0203] It is the same as that of what was shown in drawing 23 almost, the data which threshold amendment actuation is performed and are continuously held in the current source circuit 9001 at the latch circuit within the fly-back-line period which does not perform a sampling action are transmitted, and timing of operation performs V-I conversion in the current source circuit 9001, and outputs a current to a pixel. A sampling action is performed by line sequential like the configuration shown in drawing 24 R>4.

[0204] The configuration of the drive circuit which outputs the current of a configuration of differing further in drawing 26 (A) to a pixel etc. is shown. With this configuration, the digital video signal incorporated by the latch circuit is transmitted to a D/A conversion circuit by the input of a latch signal, and is changed into an analog video signal, this analog video signal is inputted into each current source circuit 9001, and a current is outputted.

[0205] Moreover, the function for gamma corrections may be given to such a D/A conversion circuit.

[0206] As shown in drawing 26 (B), the output of the current to V-I conversion of the video signal of the previous line, a pixel, etc. is performed at the period when threshold amendment and latch data transfer are performed within a fly-back-line period at, and the sampling action of a certain line is performed. A sampling action is performed by line sequential like the configuration shown in drawing 24.

[0207] When not only the configuration shown above but a current source circuit performs V-I conversion, application of the threshold amendment means of this invention is possible. Moreover, the configuration of arranging, changing and using two or more current source circuits as shown in drawing 24 for juxtaposition may be used combining the configuration of drawing 25 , drawing 26 , etc.

[Effect of the Invention] According to this invention, threshold dispersion of TFT can be amended normally, without being influenced of dispersion, such as capacity value of a capacity means. furthermore, drawing 10 R> -- when a configuration as shown in 0 and 11 performs threshold amendment, in case it displays by the approach which this invention was based on the easier principle of operation to having had much actuation performed within 1 level period, the high-speed operation of a circuit of became possible since timing of operation is also easy, especially combined a digital gradation method and a time-amount gradation method, a video signal with the more high number of bits uses, and the display of a quality image is attained.

[Translation done.]

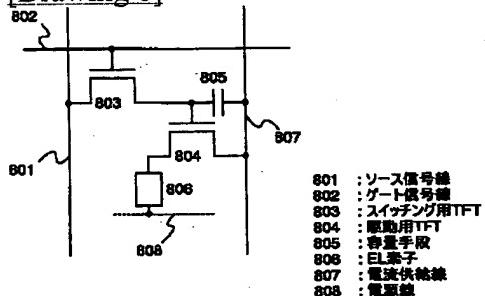
* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

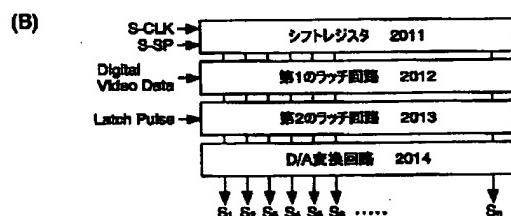
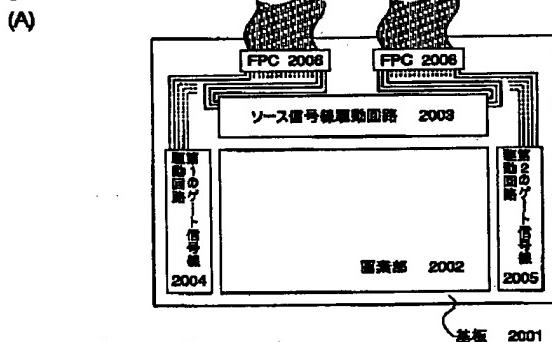
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

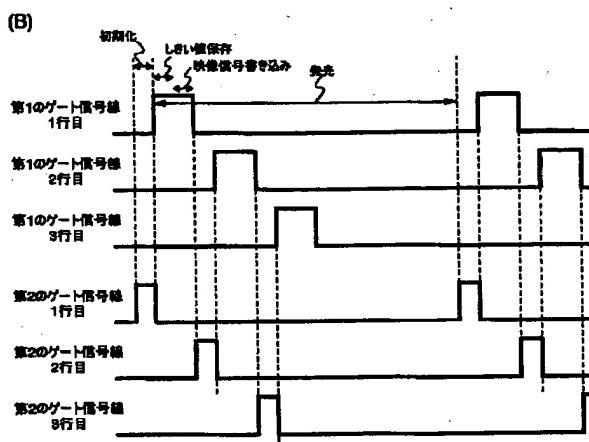
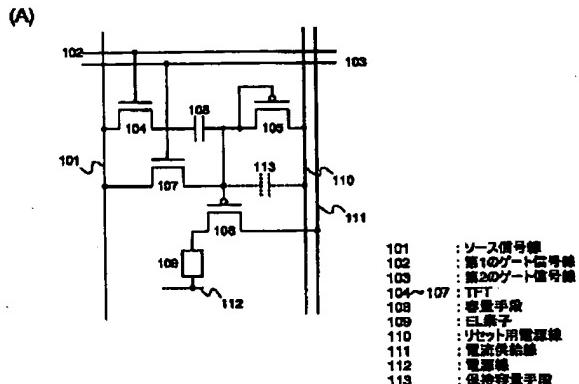
[Drawing 8]



[Drawing 20]



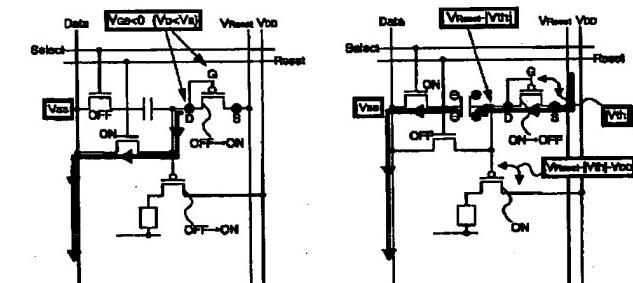
[Drawing 1]



[Drawing 2]

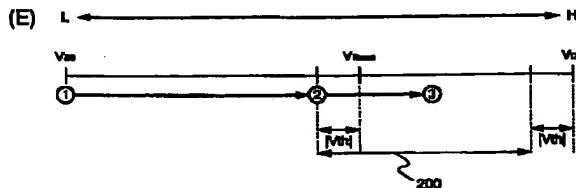
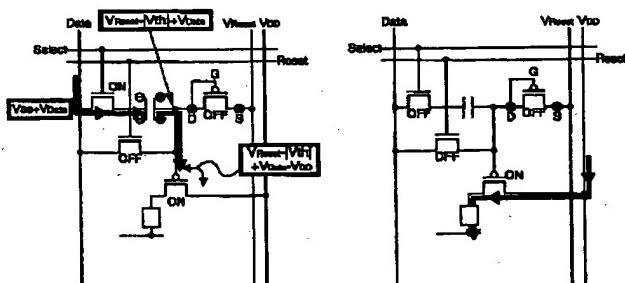
(A) 初期化

(B) しきい値電圧保存

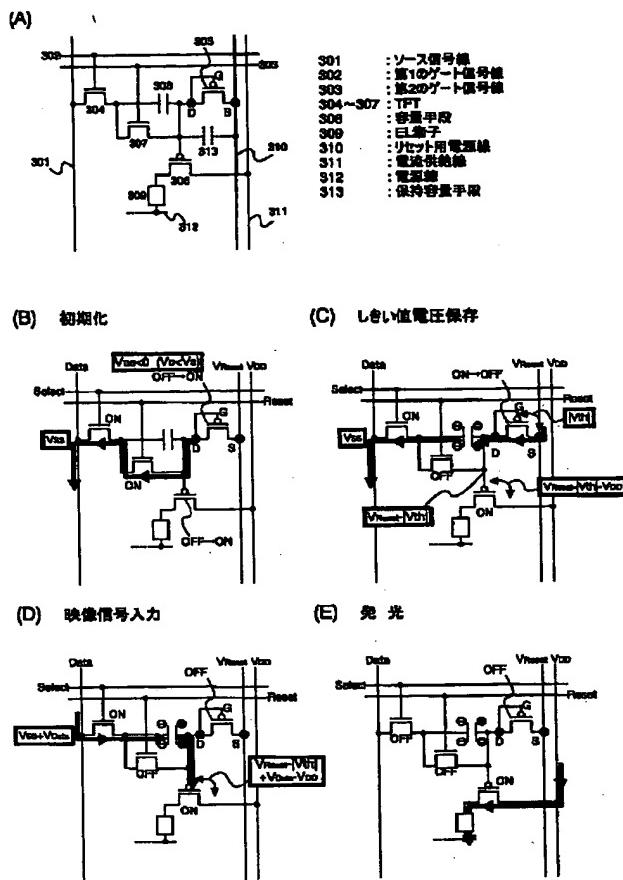


(C) 映像信号入力

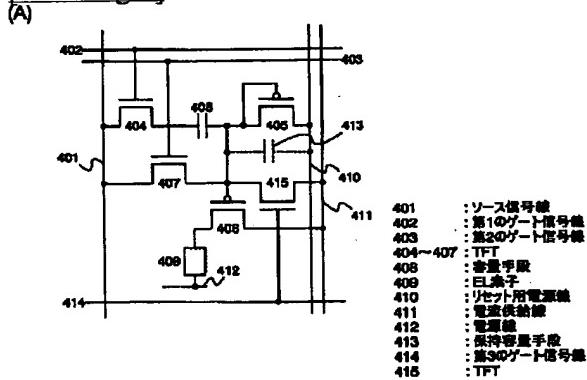
(D) 発光



[Drawing 3]

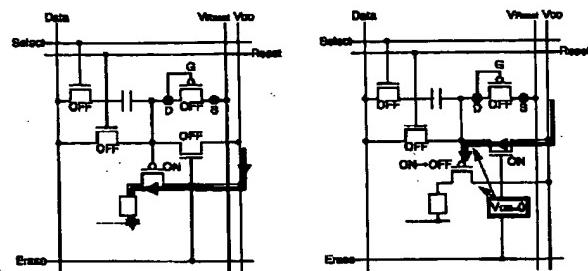


[Drawing 4]



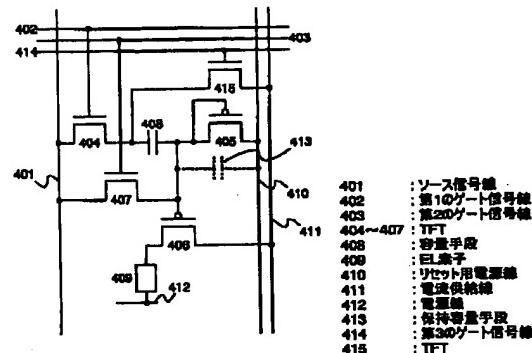
(B) 発光

(C) 消去

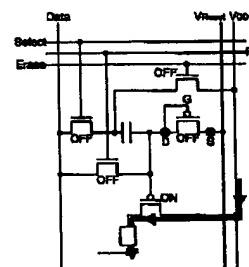


[Drawing 5]

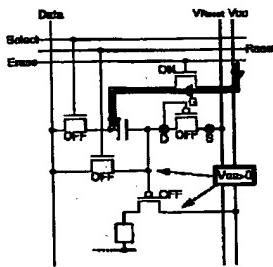
(A)



(B) 発光

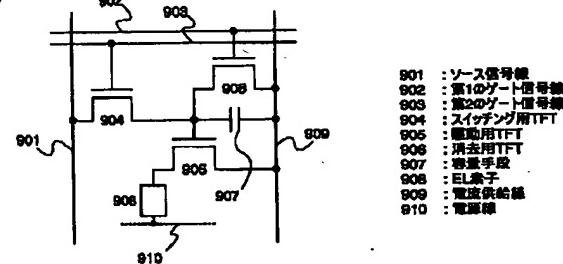


(C) 消去

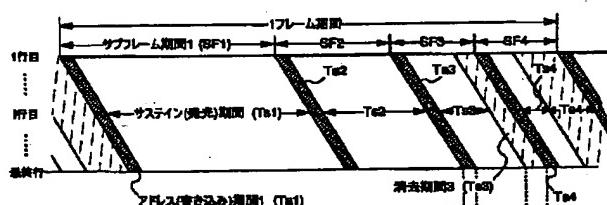


[Drawing 9]

(A)



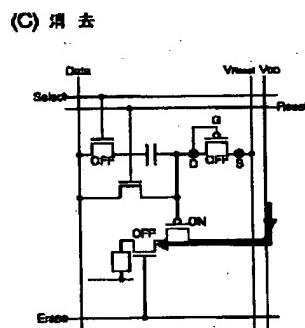
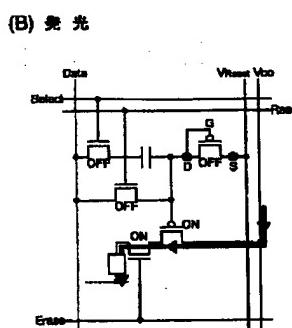
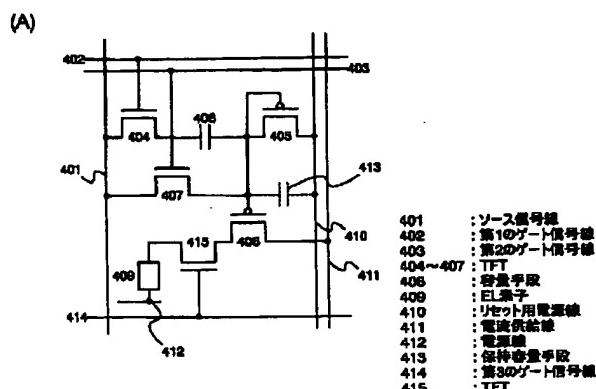
(B)



(C)

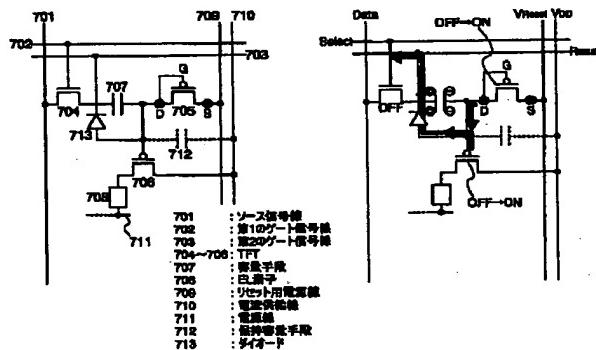


[Drawing 6]



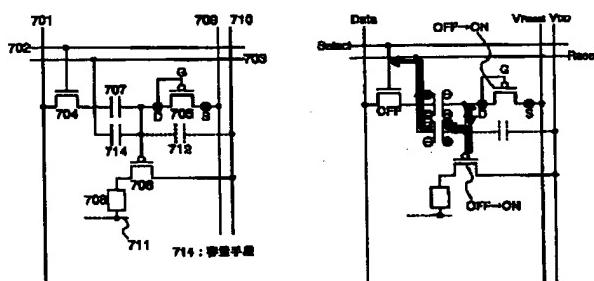
[Drawing 7]

(A)

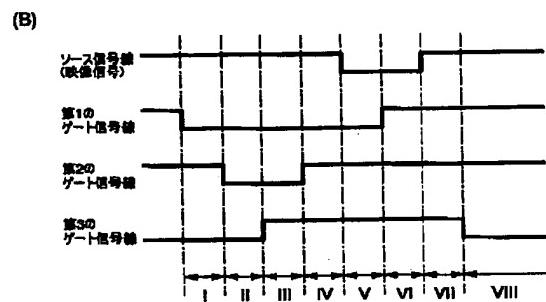
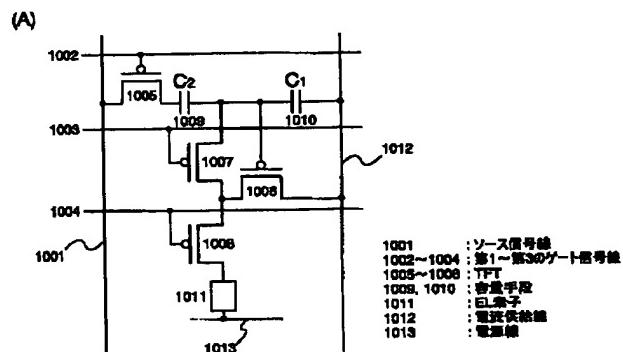


(C)

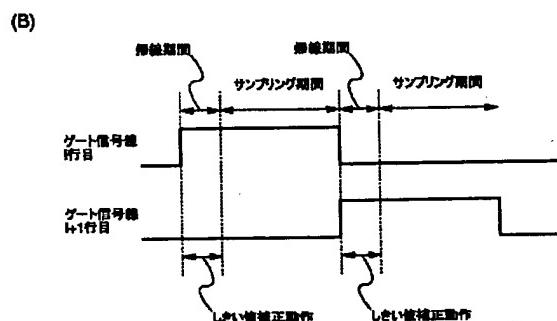
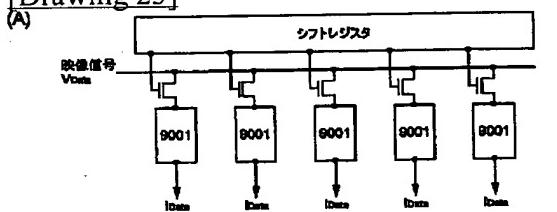
(D) 初期化



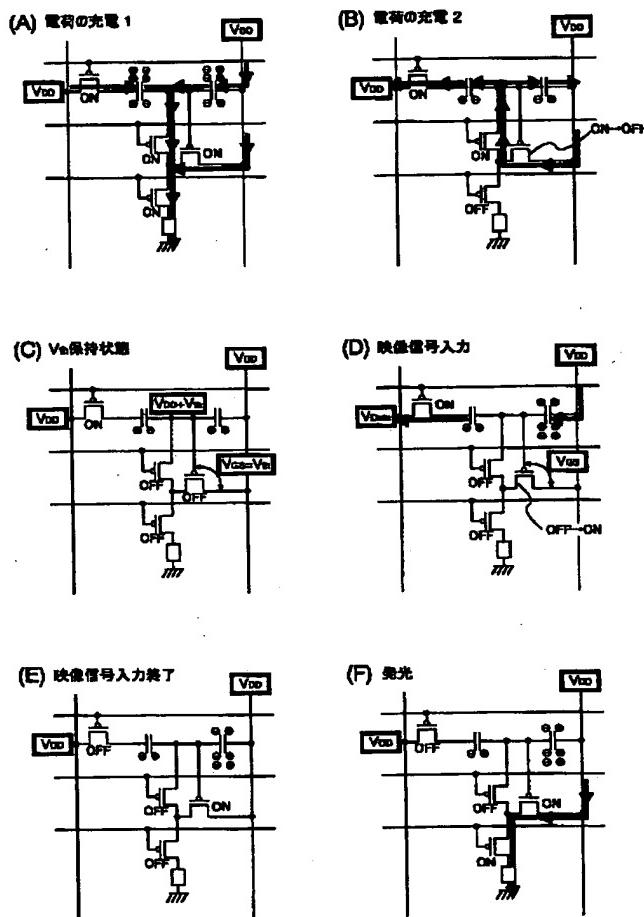
[Drawing 10]



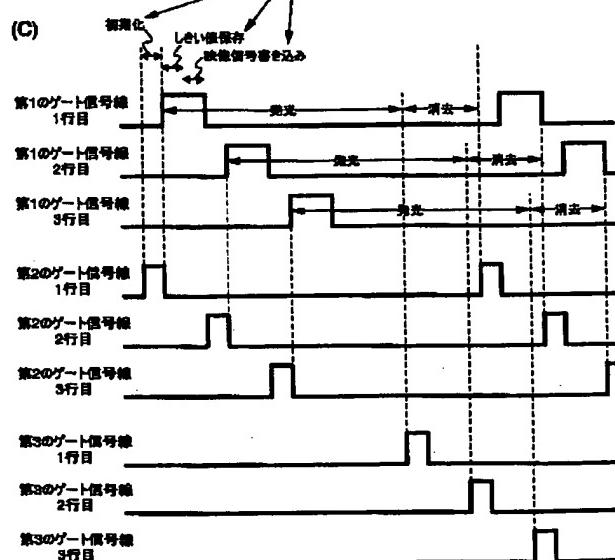
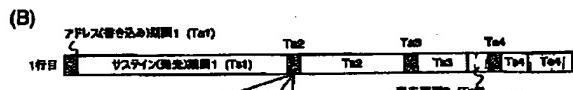
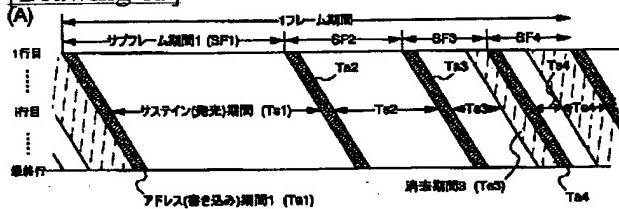
[Drawing 23]



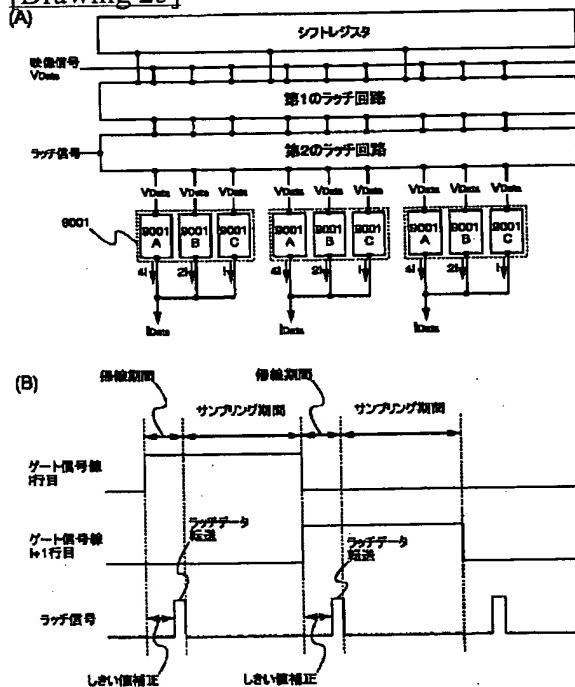
[Drawing 11]



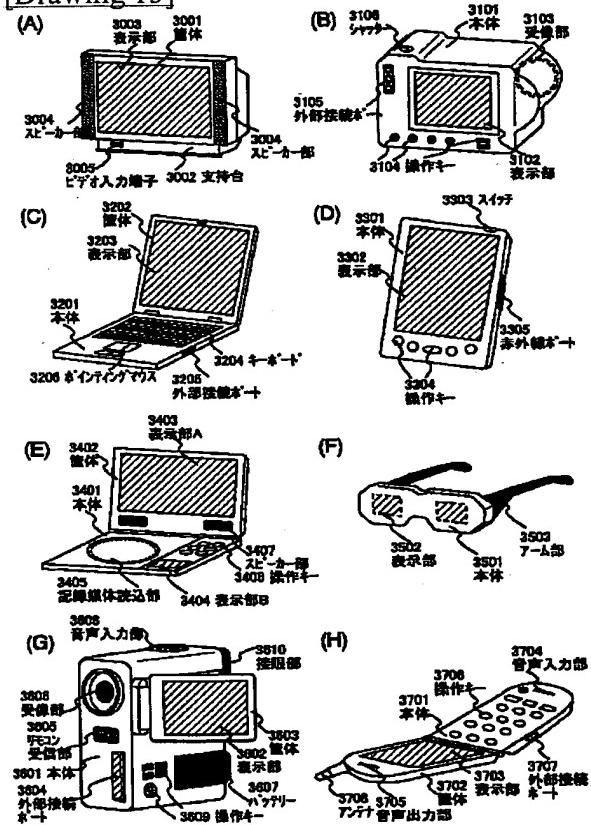
[Drawing 12]



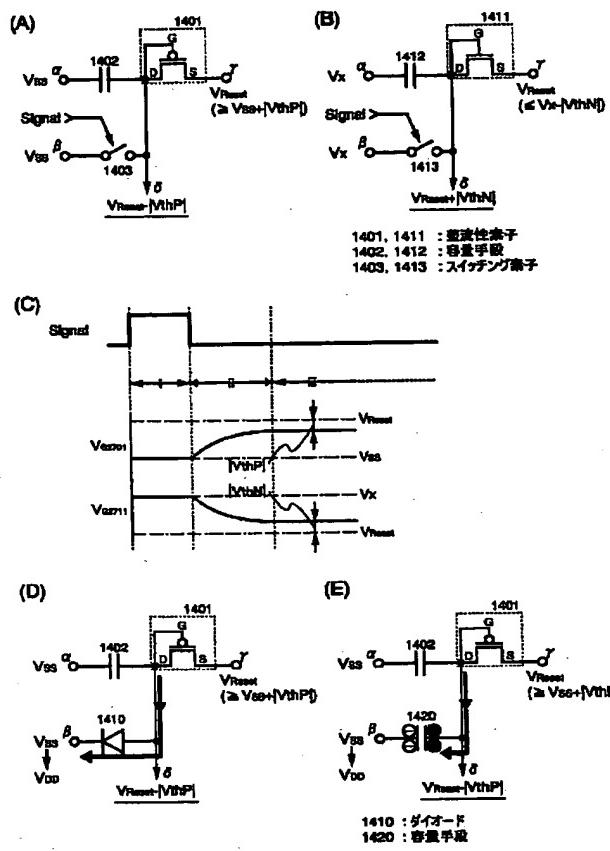
[Drawing 25]



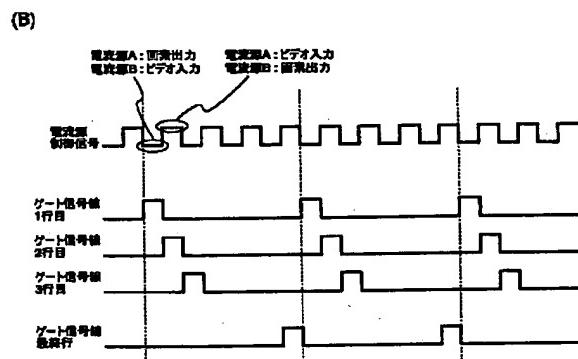
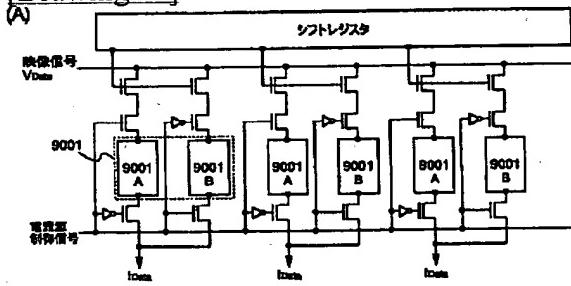
[Drawing 13]



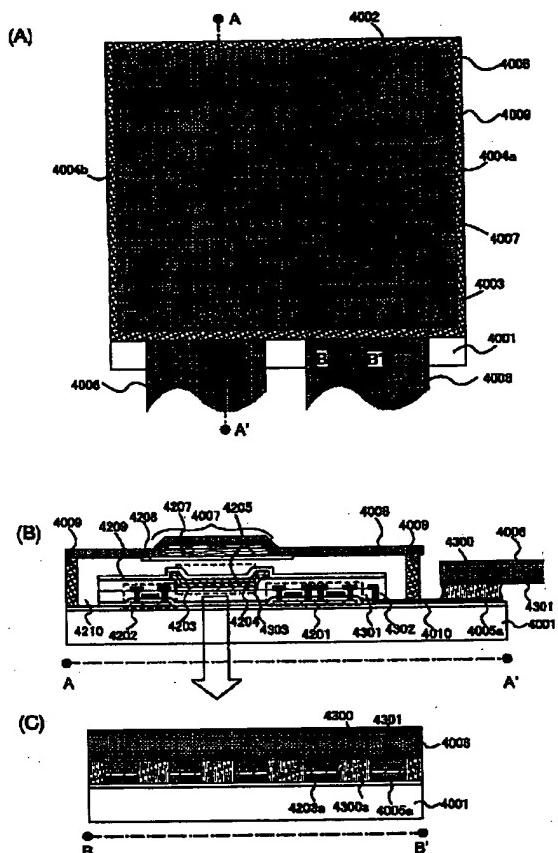
[Drawing 14]



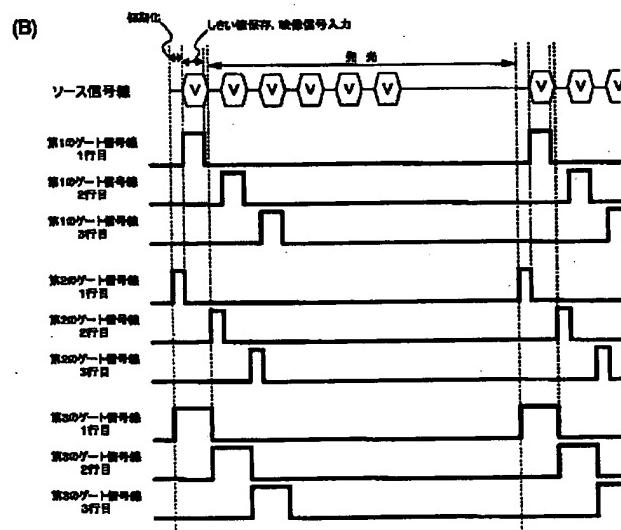
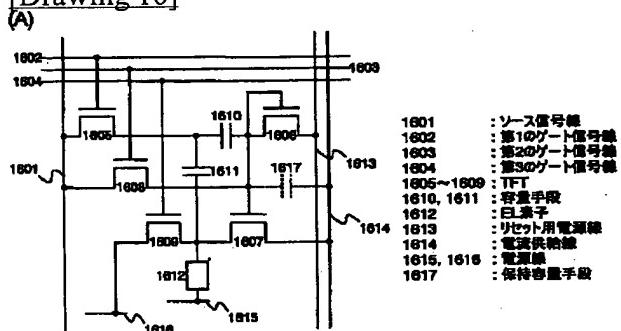
[Drawing 24]



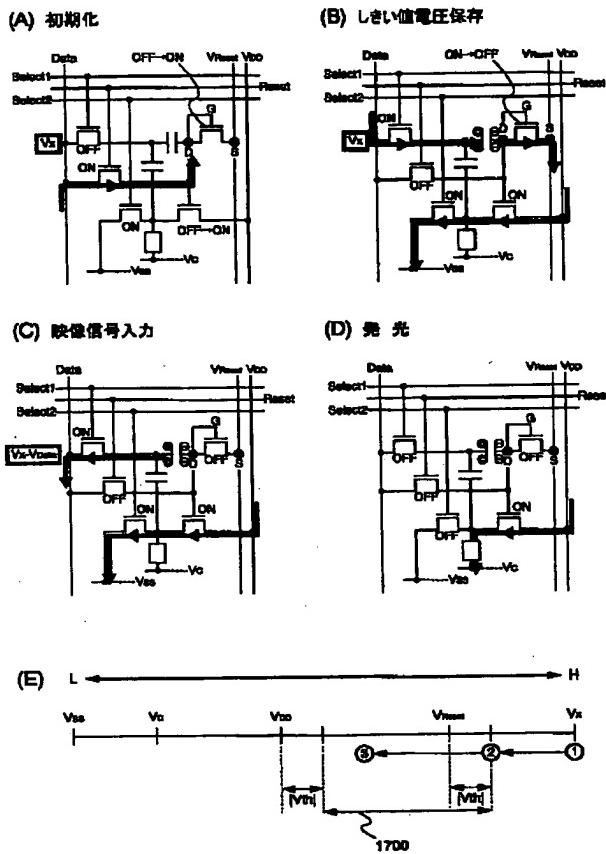
[Drawing 15]



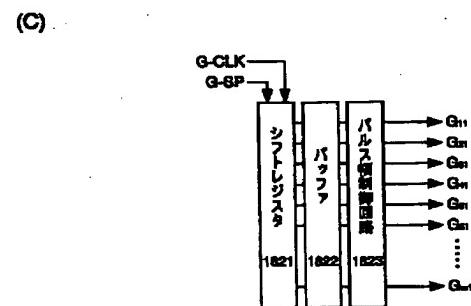
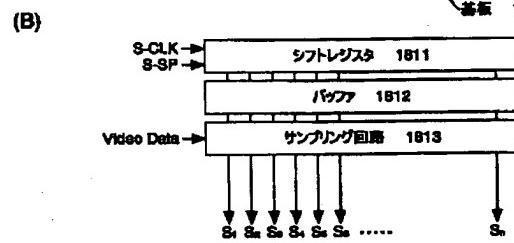
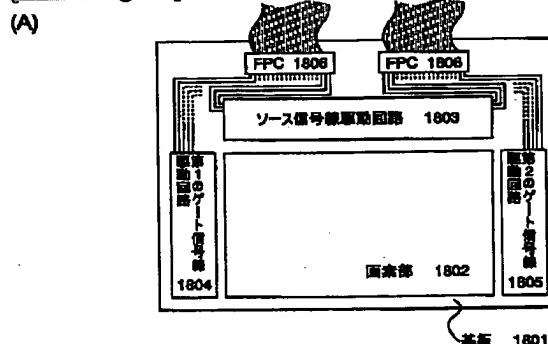
[Drawing 16]



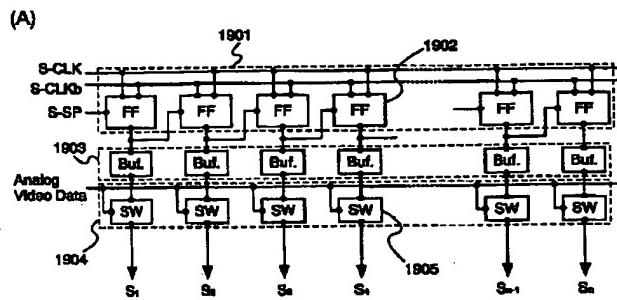
[Drawing 17]



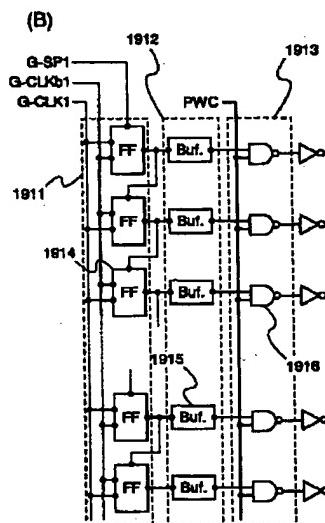
[Drawing 18]



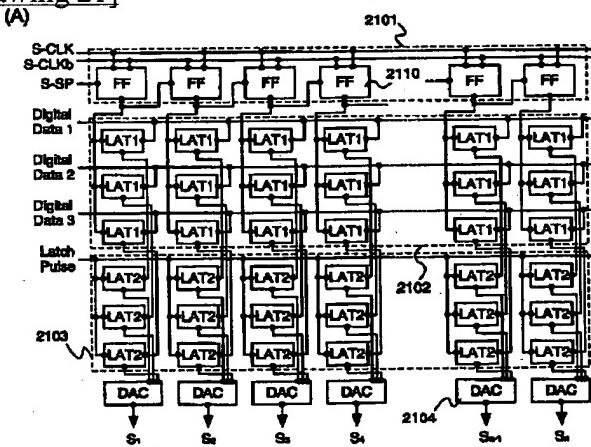
[Drawing 19]



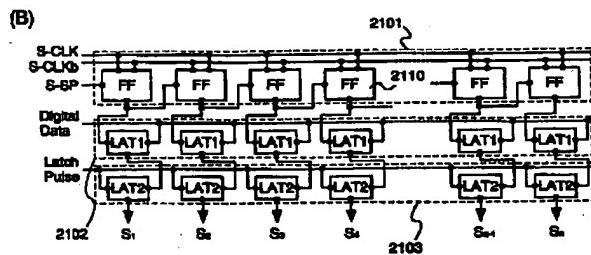
1901 : シフトレジスタ
1902 : ブリッジプロップ
1903 : バンフ回路
1904 : サンプリング回路
1905 : サンプリングスイッチ



[Drawing 21]

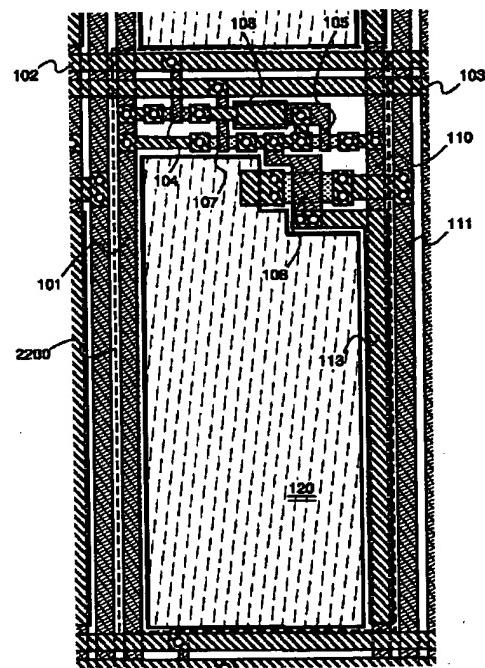


2101 : シフトレジスター
2102 : 第1のラッチ回路
2103 : 第2のラッチ回路
2104 : D/A変換回路
2110 : ブリッジプロップ



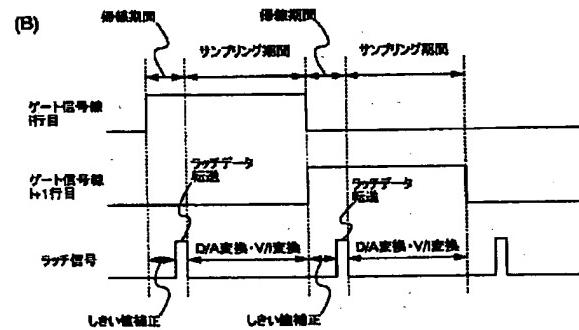
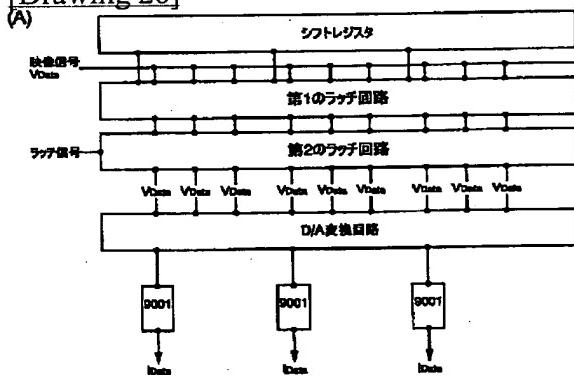
2101 : シフトレジスター
2102 : 第1のラッチ回路
2103 : 第2のラッチ回路
2110 : ブリッジプロップ

[Drawing 22]



101	ソース信号線
102	第1のゲート信号線
103	第2のゲート信号線
104~107	TFT
108	容量手段
110	リセット用電源線
111	電源供給線
113	保持容量手段
120	回路電極

[Drawing 26]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-288049
(P2003-288049A)

(43)公開日 平成15年10月10日(2003. 10. 10)

(51) Int.Cl.
G 0 9 G 3/30
3/20

識別記号
611
624
641

F I
G O 9 G 3/30
3/20

テ-マコ-ト(参考)
3K007
5C080
5F110

H05B 33/14

A

審査請求 有 請求項の数30 OL (全 33 頁) 最終頁に続く

(21)出願番号	特願2003-13272(P2003-13272)
(22)出願日	平成15年1月22日(2003.1.22)
(31)優先権主張番号	特願2002-16183(P2002-16183)
(32)優先日	平成14年1月24日(2002.1.24)
(33)優先権主張国	日本(JP)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 木村 肇
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

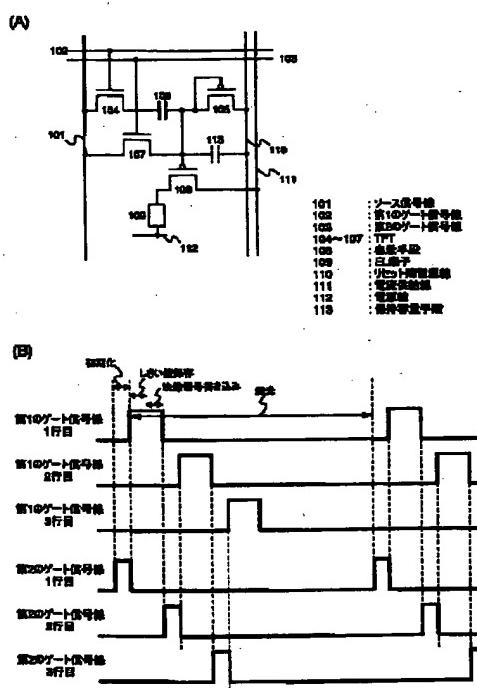
(72) 発明者 棚田 好文
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその駆動方法

(57) 【要約】

【課題】 発光装置において、発光素子に電流を供給する TFT のしきい値が画素ごとにばらつくことによって生ずる輝度ムラが、発光装置の画質向上の足かせとなっていた。

【解決手段】 容量手段108には、リセット用電源線110の電位に、TFT105のしきい値電圧分を加えた、もしくは減じた電位が保持され、TFT106のゲート電極には、映像信号に当該しきい値電圧を上乗せしたもののが印加される。画素内のTFTは近接配置されており、特性ばらつきが生じにくい。これにより、TFT106のしきい値が画素ごとにばらついても、TFT105のしきい値で相殺され、所望のドレイン電流をEL素子109に供給することが出来る。



【特許請求の範囲】

【請求項1】整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項2】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項3】整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、

前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{data}$)以下、または($V_3 - V_{data}$)以上 V_3 以下の電位を有する信号が入力される半導体装置であって、前記整流性素子のしきい値電圧が V_{th} であるとき、前記整流性素子の第2の電極より、($V_1 + |V_{th}|$)、 V_2 、($V_1 + |V_{th}| \pm V_{data}$)のいずれかの電位を有する信号を得ることを特徴とする半導体装置。

【請求項4】整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、

前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{data}$)以下、または($V_3 - V_{data}$)以上 V_3 以下の電位を有する信号が入力される半導体装置であって、前記整流性素子のしきい値電圧が V_{th} であるとき、前記整流性素子の第2の電極より、($V_1 - |V_{th}|$)、 V_2 、($V_1 - |V_{th}| \pm V_{data}$)のいずれかの電位を有する信号を得ることを特徴とする半導体装置。

【請求項5】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、

前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{data}$)以下、または($V_3 - V_{data}$)以上 V_3 以下の電位を有する第2の信号が入力される半導体装置であって、前記第1の整流性素子のしきい値電圧が V_{th} 1、前記第2の整流性素子のしきい値電圧が V_{th} 2であるとき、前記第1の整流性素子の第2の電極より、($V_1 - |V_{th}1|$)、($V_2 + V_{th}2$)、($V_1 - |V_{th}1| \pm V_{data}$)のいずれかの電位を有する信号を得ることを特徴とする半導体装置。

【請求項6】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、

前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位の電圧振幅を有する第1の信号が入力され、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{data}$)以下、または($V_3 - V_{data}$)以上 V_3 以下の電位を有する第2の信号が入力される半導体装置であって、

前記第1の整流性素子のしきい値電圧が V_{th} 1、前記第2の整流性素子のしきい値電圧が V_{th} 2であるとき、前記第1の整流性素子の第2の電極より、($V_1 + V_{th}1$)、($V_2' - V_{th}2$)、($V_1 + V_{th}1 \pm V_{data}$)のいずれかの電位を有する信号を得ることを特徴とする半導体装置。

【請求項7】請求項3もしくは請求項4において、前記整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、

30 前記ゲート・ドレイン間を接続したトランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、前記ゲート・ドレイン間を接続したトランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴とする半導体装置。

【請求項8】請求項5もしくは請求項6において、前記第1の整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記ゲート・ドレイン間を接続したトランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、

40 前記ゲート・ドレイン間を接続したトランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項8において、前記半導体装置は、さらにトランジスタを有し、前記トランジスタのゲート電極は、前記容量手段の第1の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項10】複数の画素を有する半導体装置であつて、

50 前記複数の画素はそれぞれ、

ート信号線と電気的に接続され、第1の電極は、前記第3のトランジスタの第2の電極と電気的に接続され、第2の電極は、前記発光素子の第2の電極の電位に等しいか、それより低い電源電位に接続されていることを特徴とする半導体装置。

【請求項14】請求項10乃至請求項13のいずれか1項において、

前記半導体装置は、さらに消去用ゲート信号線と、消去用トランジスタとを有し、

前記消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電気的に接続され、第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記第3のトランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置。

【請求項15】請求項10乃至請求項13のいずれか1項において、

前記半導体装置は、さらに消去用ゲート信号線と、消去用トランジスタとを有し、

前記消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電気的に接続され、第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記第1のトランジスタの第2の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項16】請求項10乃至請求項13のいずれか1項において、

前記半導体装置は、さらに消去用ゲート信号線と、消去用トランジスタとを有し、

前記消去用トランジスタは、前記電流供給線と前記第3のトランジスタの第1の電極との間、もしくは、前記第3のトランジスタの第2の電極と、前記発光素子の第1の電極との間に設けられ、前記消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電気的に接続されていることを特徴とする半導体装置。

【請求項17】請求項10乃至請求項13のいずれか1項において、

前記第2のトランジスタと、前記第3のトランジスタとは、同一極性であることを特徴とする半導体装置。

【請求項18】整流性素子と、容量手段と、スイッチング素子とを有し、

前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、

前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、

前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、

前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値

V_{th} に収束させ、前記整流性素子の第2の電極の電位を $(V_1 + V_{th})$ とする第2のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項19】整流性素子と、容量手段と、スイッチング素子とを有し、

前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、

10 前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、

前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{data}$)以下、または($V_3 - V_{data}$)以上 V_3 以下の電位を有する信号が入力され、

前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、

前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値

20 V_{th} に収束させ、前記整流性素子の第2の電極の電位を $(V_1 + V_{th})$ とする第2のステップと、

前記容量手段の第2の電極の電位を V_{data} だけ変化させ、前記整流性素子の第2の電極の電位を $(V_1 + V_{th} \pm V_{data})$ とする第3のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項20】整流性素子と、容量手段と、スイッチング素子とを有し、

前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、

30 前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、

前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、

前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値 V_{th} に収束させ、前記整流性素子の第2の電極の電位を

40 $(V_1 - |V_{th}|)$ とする第2のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項21】整流性素子と、容量手段と、スイッチング素子とを有し、

前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、

前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、

50 前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{data}$)

以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する信号が入力され、

前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値 V_{th} に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th}|$)とする第2のステップと、

前記容量手段の第2の電極の電位を V_{Data} だけ変化させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th}| \pm V_{Data}$)とする第3のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項22】請求項19もしくは請求項21において、

前記半導体装置は、さらにトランジスタを有し、前記トランジスタのゲート電極は、前記整流性素子の第2の電極と電気的に接続されていることを特徴とする半導体装置の駆動方法。

【請求項23】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記第1の整流性素子のしきい値電圧が $V_{th} 1$ 、前記第2の整流性素子のしきい値電圧が $V_{th} 2$ であるとき、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の第2の電極の電位を($V_2 + V_{th} 2$)とする第1のステップと、

前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の両電極間の電圧を、しきい値 $V_{th} 1$ に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th} 1|$)とする第2のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項24】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する第2の信号が入力され、前記第1の整流性素子のしきい値電圧が $V_{th} 1$ 、前記第2の整流性素子のしきい値電圧が $V_{th} 2$ であるとき、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の第2の電極の電位を($V_2' - |V_{th} 2|$)とする第1のステップと、

前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の両電極

2の整流性素子のしきい値電圧が $V_{th} 2$ であるとき、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の第2の電極の電位を($V_2 + V_{th} 2$)とする第1のステップと、

前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の両電極間の電圧を、しきい値 $V_{th} 1$ に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th} 1|$)とする第2のステップと、

10 前記容量手段の第2の電極の電位を V_{Data} だけ変化させ、前記第1の整流性素子の第2の電極の電位を($V_1 - |V_{th} 1| \pm V_{Data}$)とする第3のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項25】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、

前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、

20 前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記第1の整流性素子のしきい値電圧が $V_{th} 1$ 、前記第2の整流性素子のしきい値電圧が $V_{th} 2$ であるとき、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の第2の電極の電位を($V_2' - |V_{th} 2|$)とする第1のステップと、

前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の両電極間の電圧を、しきい値 $V_{th} 1$ に収束させ、前記整流性素子の第2の電極の電位を($V_1 + V_{th} 1$)とする第2のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項26】第1の整流性素子と、第2の整流性素子と、容量手段とを有し、

前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、

前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する第2の信号が入力され、

前記第1の整流性素子のしきい値電圧が $V_{th} 1$ 、前記第2の整流性素子のしきい値電圧が $V_{th} 2$ であるとき、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の第2の電極の電位を($V_2' - |V_{th} 2|$)とする第1のステップと、

前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の両電極

間の電圧を、しきい値 $V_{th\ 1}$ に収束させ、前記整流性素子の第2の電極の電位を $(V_1 + V_{th\ 1})$ とする第2のステップと、前記容量手段の第2の電極の電位を V_{data} だけ変化させ、前記第1の整流性素子の第2の電極の電位を $(V_1 + V_{th\ 1} \pm V_{data})$ とする第3のステップとを有することを特徴とする半導体装置の駆動方法。

【請求項27】請求項24もしくは請求項26において、

前記半導体装置は、さらにトランジスタを有し、前記トランジスタのゲート電極は、前記第1の整流性素子の第2の電極と電気的に接続されていることを特徴とする半導体装置の駆動方法。

【請求項28】請求項18乃至請求項22のいずれか1項において、

前記整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、

前記トランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、

前記トランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴とする半導体装置の駆動方法。

【請求項29】請求項23乃至請求項27のいずれか1項において、

前記第1の整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、

前記トランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、

前記トランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴とする半導体装置の駆動方法。

【請求項30】請求項1乃至請求項17に記載の半導体装置、または請求項18乃至請求項29に記載の半導体装置の駆動方法を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタを有する半導体装置およびその駆動方法に関する。本発明はまた、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、TFTと表記する)を有する半導体装置を含むアクティブマトリクス型発光装置およびその駆動方法に関する。また、このような発光装置を用いた電子機器に関する。

【0002】

【従来の技術】近年、エレクトロルミネッセンス(Electro Luminescence: EL)素子等を始めとした発光素子を用いた表示装置の開発が活発化している。発光素子は、自らが発光するために視認性が高く、液晶表示装置(LCD)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限がない。

【0003】ここで、EL素子とは、電場を加えること

で発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(熒光)があるが、本発明において、発光装置とは、上述したいずれの発光形態であっても良い。

【0004】EL素子は、一対の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には、「陽極/正孔輸送層/発光層/電子輸送層/陰極」という積層構造が挙げられる。また、これ以外にも、陽極と陰極との間に、「正孔注入層/正孔輸送層/発光層/電子輸送層」または「正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層」の順に積層する構造がある。本発明の発光装置に用いるEL素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

【0005】ここでは、EL素子において、陽極と陰極との間に設けられる全ての層を総称してEL層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てEL素子に含まれ、陽極、EL層、および陰極で構成される発光素子をEL素子と呼ぶ。

【0006】図8に、一般的な発光装置における画素の構成を示す。なお、代表的な発光装置として、EL表示装置を例とする。図8に示した画素は、ソース信号線801、ゲート信号線802、スイッチング用TFT803、駆動用TFT804、容量手段805、EL素子806、電流供給線807、電源線808を有している。

【0007】各部の接続関係について説明する。ここで、TFTはゲート、ソース、ドレインを有する3端子素子であるが、ソース、ドレインについてはTFTの構造上、明確な区別が困難である。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第1の電極、他方を第2の電極と表記する。TFTのON、OFFについて、各端子の電位(例えばTFTのゲート・ソース間電圧を説明する場合等)について定義が必要な場合には、ソース、ドレインと表記する。

【0008】また、TFTがONしているとは、TFTのゲート・ソース間電圧がそのしきい値を超えて、ソース・ドレイン間に電流が流れている状態をいい、TFTがOFFしているとは、TFTのゲート・ソース間電圧がそのしきい値を下回り、ソース・ドレイン間に電流が流れていない状態をいう。ただし、TFTのゲート・ソース間電圧がしきい値を下回っている場合にも、ソース・ドレイン間にはわずかにリーキ電流が流れるが、TFTの状態としては同様にOFFしているものとして扱う。

【0009】スイッチング用TFT803のゲート電極は、ゲート信号線802に接続され、第1の電極は、ソース信号線801に接続され、第2の電極は、駆動用T

F T 8 0 4 のゲート電極に接続されている。駆動用 T F T 8 0 4 の第1の電極は、電流供給線 8 0 7 に接続され、第2の電極は、E L 素子 8 0 6 の第1の電極に接続されている。E L 素子 8 0 6 の第2の電極は、電源線 8 0 8 に接続されている。電流供給線 8 0 7 と電源線 8 0 8 とは互いに電位差を有している。また、発光中に駆動用 T F T 8 0 4 のゲート・ソース間電圧を保持するため、駆動用 T F T 8 0 4 のゲート電極と、電流供給線 8 0 7 等の一定電位との間に容量手段 8 0 5 を設けても良い。

【0010】ゲート信号線 8 0 2 にパルスが入力されてスイッチング用 T F T 8 0 3 がONすると、ソース信号線 8 0 1 に入力されてきている映像信号は、駆動用 T F T 8 0 4 のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用 T F T 8 0 4 のゲート・ソース間電圧が決定し、駆動用 T F T 8 0 4 のソース・ドレイン間を流れる電流(以下、ドレン電流と表記)の値が決定する。この電流は E L 素子 8 0 6 に供給され、E L 素子 8 0 6 が発光する。

【0011】ところで、多結晶シリコン(ポリシリコン
以下P-Si)で形成されたT F T は、非晶質シリコン(アモルファスシリコン 以下A-Si)で形成されたT F T よりも電界効果移動度が高く、ON電流が大きいため、発光装置に用いるトランジスタとしてより適している。

【0012】反面、P-Si で形成されたT F T は、結晶粒界における欠陥に起因して、その電気的特性にばらつきが生じやすいといった問題点を有している。

【0013】図8に示した画素において、T F T のしきい値、例えば駆動用 T F T 8 0 4 のしきい値が画素ごとにばらつくと、異なる画素に同じ映像信号を入力した場合にも、しきい値ばらつきに応じてT F T のドレン電流値がばらつくため、E L 素子 8 0 6 の輝度に差が生ずる。アナログ階調方式を採用している表示装置の場合、これが特に問題となっていた。

【0014】最近、このようなT F T のしきい値ばらつきを補正することの出来るものが提案されている。その内の一例としては、図10に示すような構成が挙げられる(特許文献1参照)。

【0015】

【特許文献1】国際公開番号99-48403号パンフレット(P25、Fig3、Fig4)

【0016】図10に示した画素は、ソース信号線 1 0 0 1 、第1～第3のゲート信号線 1 0 0 2 ～ 1 0 0 4 、T F T 1 0 0 5 ～ 1 0 0 8 、容量手段 1 0 0 9 (C₂)、1 0 1 0 (C₁)、E L 素子 1 0 1 1 、電流供給線 1 0 1 2 、電源線 1 0 1 3 を有する。

【0017】T F T 1 0 0 5 のゲート電極は、第1のゲート信号線 1 0 0 2 に接続され、第1の電極は、ソース信号線 1 0 0 1 に接続され、第2の電極は、容量手段 1

0 0 9 の第1の電極に接続されている。容量手段 1 0 0 9 の第2の電極は、容量手段 1 0 1 0 の第1の電極に接続され、容量手段 1 0 1 0 の第2の電極は、電流供給線 1 0 1 2 に接続されている。T F T 1 0 0 6 のゲート電極は、容量手段 1 0 0 9 の第2の電極および容量手段 1 0 1 0 の第1の電極に接続され、第1の電極は、電流供給線 1 0 1 2 に接続され、第2の電極は、T F T 1 0 0 7 の第1の電極およびT F T 1 0 0 8 の第1の電極に接続されている。T F T 1 0 0 7 のゲート電極は、第2のゲート信号線 1 0 0 3 に接続され、第2の電極は、容量手段 1 0 0 9 の第2の電極に接続されている。T F T 1 0 0 8 のゲート電極は、第3のゲート信号線 1 0 0 4 に接続され、第2の電極は、E L 素子 1 0 1 1 の第1の電極に接続されている。E L 素子 1 0 1 1 の第2の電極は、電源線 1 0 1 3 に接続され、電流供給線 1 0 1 2 とは互いに電位差を有する。

【0018】図10(A)(B)および図11(A)～(F)を用いて、動作について説明する。図10(B)は、ソース信号線 1 0 0 1 、第1～第3のゲート信号線 1 0 0 2 ～ 1 0 0 4 に入力される映像信号およびパルスのタイミングを示しており、図11に示す各動作に合わせて、I～V IIIの区間に分割している。また、図10に示した画素の一例では、4つのT F T を用いて構成され、その極性はいずれもPチャネル型である。よって、ゲート電極にLレベルが入力されてONし、Hレベルが入力されてOFFするものとする。また、ソース信号線 1 0 0 1 に入力される映像信号は、ここでは入力される期間のみを示すためパルス状に示されているが、アナログ階調方式の場合、所定のアナログ量の電位をとる。

【0019】まず、第1および第3のゲート信号線 1 0 0 2 、1 0 0 4 がLレベルとなり、T F T 1 0 0 5 、1 0 0 8 がONする(区間I)。続いて第2のゲート信号線 1 0 0 3 がLレベルとなり、T F T 1 0 0 7 がONする。ここで、図11(A)に示すように、容量手段 1 0 0 9 、1 0 1 0 に電荷が貯まり、容量手段 1 0 1 0 の両電極間の電位差、つまり容量手段 1 0 1 0 に保持されている電圧が、T F T 1 0 0 6 のしきい値 |V_{th}| を上回ったところで、T F T 1 0 0 6 がONする(区間II)。

【0020】続いて、第3のゲート信号線 1 0 0 4 がHレベルとなって、T F T 1 0 0 8 がOFFする。すると、容量手段 1 0 0 9 、1 0 1 0 に貯まっていた電荷が再び移動し、容量手段 1 0 1 0 に保持されている電圧は、やがて |V_{th}| に等しくなる。このとき、図11(B)にも示すように、電流供給線 1 0 1 2 、ソース信号線 1 0 0 1 の電位はいずれも V_{dd} であるので、容量手段 1 0 0 9 においても、保持されている電圧は |V_{th}| に等しくなる。よって、やがて T F T 1 0 0 6 がOFFする。

【0021】前述のように、容量手段 1 0 0 9 、1 0 1 0 に保持されている電圧が |V_{th}| に等しくなった後、第2のゲート信号線 1 0 0 3 がHレベルとなり、T F T 1

007がOFFする(区間IV)。この動作により、図11(C)に示すように、容量手段1009において $|V_{th}|$ が保持される。

【0022】このとき、容量手段1010(C_1)に保持されている電荷 Q_1 について、式(1)のような関係が成*

$$Q_1 = C_1 \times |V_{th}|$$

【0024】

$$Q_2 = C_2 \times |V_{th}|$$

* 繰り返す。同時に、容量手段1009(C_2)に保持されている電荷 Q_2 について、式(2)のような関係が成立する。

【0023】

【数1】

.....(1)

【0025】続いて、図11(D)に示すように、映像信号の入力が行われる(区間V)。ソース信号線1001に映像信号が输出されてきて、その電位が V_{th} から映像信号の電位 V_{Data} (ここでは、TFT1006がPチャネル型であるので、 $V_{th} > V_{Data}$ とする)となる。このときの、TFT1006のゲート電極の電位を V_g とし、★

$$Q + Q_1 = C_1 \times (V_{DD} - V_g)$$

【0027】

$$Q - Q_2 = C_2 \times (V_g - V_{Data})$$

☆ ☆ 【数4】(4)

【0028】式(1)～(4)より、TFT1006のゲート電極の電位 V_g は、式(5)で表される。

【0029】

【数5】

$$V_g = \frac{C_1}{C_1 + C_2} V_{DD} + \frac{C_2}{C_1 + C_2} V_{Data} - |V_{th}| \quad \dots(5)$$

【0030】よって、TFT1006のゲート・ソース間電圧 V_{GS} は、式(6)で表される。

【0031】

【数6】

$$V_{GS} = V_g - V_{DD}$$

$$\begin{aligned} &= \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) - |V_{th}| \\ &= \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) + V_{th} \quad \dots(6) \end{aligned}$$

【0032】式(6)右辺には、 V_{th} の項が含まれる。すなわち、ソース信号線1001より入力される映像信号には、その画素におけるTFT1006のしきい値電圧が上乗せされて容量手段1009、1010によって保持される。

【0033】映像信号の入力が完了すると、第1のゲート信号線1002がHレベルとなってTFT1005がOFFする(区間VI)。その後、ソース信号線1001は所定の電位に戻る(区間VII)。以上の動作によって、映像信号の画素への書き込み動作が完了する(図11(E))。

【0034】続いて、第3のゲート信号線1004がLレベルとなり、TFT1008がONし、EL素子10

★このノードにおける電荷を Q とすると、容量手段1009、1010とを含めた電荷保存則により、式(3)(4)のような関係が成立する。

【0026】

【数3】

.....(3)

☆ ☆ 【数4】

.....(4)

11に図11(F)に示すように電流が流れることによってEL素子1011が発光する。このときEL素子1011に流れる電流値は、TFT1006のゲート・ソース間電圧に従ったものであり、TFT1006を流れるドレン電流 I_{DS} は、式(7)で表される。

【0035】

【数7】

$$\begin{aligned} I_{DS} &= \frac{\beta}{2} (V_{GS} - V_{th})^2 \\ &= \frac{\beta}{2} \left\{ \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) \right\}^2 \quad \dots(7) \end{aligned}$$

【0036】式(7)より、TFT1006のドレン電流 I_{DS} は、しきい値 V_{th} の値に依存しないことがわかる。よって、画素ごとにTFT1006のしきい値がばらついたとしても、それぞれの画素のEL素子1011に流れる電流値は変わらない。よって、映像信号 V_{Data} に従った電流が正しくEL素子1011を流れる。

【0037】

【発明が解決しようとする課題】しかし、前述の構成の場合、式(7)において、ドレン電流 I_{DS} は、容量 C_1 、 C_2 の値に依存する。すなわち、容量手段1009、1010の容量値がばらついた場合、ドレン電流 I_{DS} がばらついてしまうことになる。

【0038】そこで本発明では、前述の問題点、具体的には、容量値のばらつきの影響を受けることのない構成によって、TFTのしきい値ばらつきを補正することの可能な半導体装置およびその駆動方法を提供することを目的とする。

【0039】

【課題を解決するための手段】本発明の動作原理を、図14を用いて説明する。図14(A)(B)のような回路を考える。スイッチング素子1403、1413は、それぞれ信号の入力(Signal)によって制御される素子であり、導通、非導通の状態をとれるものであれば良い。例えば、TFTのように、入力信号によってON、OFFの選択が出来るものであれば良い。

【0040】また、素子の両端の電極に電位差を与えたとき、單一方向にのみ電流を生ずる素子を、整流性素子と定義する。整流性素子としては、ダイオードや、ゲート・ドレン間を短絡(このような状態をダイオード接続と表記する)したTFTが挙げられる。

【0041】図14(A)(B)に示すように、スイッチング素子1403、1413、容量手段1402、1412、整流性素子1401、1411をそれぞれ接続した回路を考える。整流性素子1401はPチャネル型TFTを用いたものであり、整流性素子1411はNチャネル型TFTを用いたものである。

【0042】ここで、回路のそれぞれの端子を、 α 、 β 、 γ 、 δ とする。端子 α ～ γ には、それぞれある一定電位が与えられているとする。図14(A)の場合、端子 α 、 β に与えられている電位は V_{ss} 、端子 γ に与えられている電位は V_{reset} ($\geq V_{ss} + |V_{th} P|$: $V_{th} P$ は1401のしきい値)とし、図14(B)の場合、端子 α 、 β に与えられている電位は V_x 、端子 γ に与えられている電位は V_{reset} ($\leq V_x - |V_{th} N|$: $V_{th} N$ は1411のしきい値)とする。

【0043】今、図14(C)においてiで示される期間で、スイッチング素子1403、1413が導通する。すると、図14(A)において、整流性素子であるTFT1401のゲート電極およびドレン電極の電位が低下し、 V_{ss} となる。一方、図14(B)においては、整流性素子であるTFT1411のゲート電極およびドレン電極の電位が上昇し、 V_x となる。TFT1401、1411のいずれにおいても、ソース・ドレン間電圧がそのしきい値電圧の絶対値を上回るため、ONする。

【0044】続いて、図14(C)においてiiで示される期間で、スイッチング素子1403、1413が非導通となる。このとき、TFT1401、1411はともにONしているのでそれぞれのソース・ドレン間に電流が生じ、図14(A)におけるTFT1401のゲート電極およびドレン電極の電位は上昇し、図14(B)におけるTFT1411のゲート電極およびドレン電極の電位は下降する。したがって、TFT1401、1411のソース・ドレン間電圧、つまりTFT1401、1411のゲート・ソース間電圧が小さくなっていく。

【0045】やがて、TFT1401、1411のゲート・ソース間電圧は、それぞれのTFTのしきい値電圧の絶対値に等しくなる。これにより、TFT1401、1411はOFFする。このときの、TFT1401、

1411のドレン電極の電位と、端子 α との電位差は、容量手段1402、1412によってそれぞれ保持される。

【0046】よって、図14(C)においてiiiで示される期間で、図14(A)においては、端子 δ より、 $V_{Reset} - |V_{th} P|$ が出力され、図14(B)においては、端子 δ より、 $V_{Reset} + |V_{th} N|$ が出力される。

【0047】図14(A)(B)いずれの場合も、TFT1401、1411のしきい値電圧を取り出すことが出来ているのがわかる。例えば、この状態で端子 α に信号の入力があると、容量手段1402、1412による容量結合により、端子 δ は入力された信号の電圧分だけ、電位が変化する。端子 δ には、あらかじめTFTのしきい値電圧が現れていることから、信号の入力に対し、TFTのしきい値電圧分の補正がかかったことになる。

【0048】動作原理を同じくした他の構成として、図14(D)(E)に示すように、スイッチング素子1403に代えて、ダイオード1410、もしくは容量手段1420を設け、端子 β の電位を低く(ここでは V_{ss})することにより、TFT1401のゲート電極およびドレン電極の電位を下げるようにもしても良い。このとき、端子 δ の電位は、($V_{ss} + |V_{th} D|$: $V_{th} D$ はダイオード1410のしきい値)まで降下しうる。図14(D)の場合、一度TFT1401のゲート電極およびドレン電極の電位が下がった後は、端子 β の電位を上げれば(ここでは V_{dd})、逆方向の電流は流れないので、スイッチング素子を非導通としたのと同様となる。

【0049】なお、TFT1401はPチャネル型TFTを用いているが、Nチャネル型TFTでも良い。この場合、端子 γ 側にTFT1401のドレン電極およびゲート電極が接続される。同様に、TFT1411はNチャネル型TFTを用いているが、Pチャネル型TFTでも良い。この場合、端子 γ 側にTFT1411のドレン電極およびゲート電極が接続される。

【0050】また、TFT1401、1411は、それぞれダイオードを用いても良い。ここで用いるダイオードには、通常のPN接合を有するダイオードの他、前述のダイオード接続TFTを用いても良い。

【0051】ここでは、発光装置におけるTFTのしきい値ばらつきを補正し、EL素子の輝度ばらつきを低減することを課題とし、それに対する解決方法として述べているが、本発明の動作原理は、発光装置におけるTFTのしきい値ばらつきを補正するためだけにとどまらず、他の電子回路にももちろん応用が可能である。

【0052】本発明の構成を以下に記す。

【0053】本発明の半導体装置は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続されていることを特徴としている。

【0054】本発明の半導体装置は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続されていることを特徴としている。

【0055】本発明の半導体装置は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する信号が入力される半導体装置であって、前記整流性素子のしきい値電圧が V_{th} であるとき、前記整流性素子の第2の電極より、($V_1 + |V_{th}|$)、 V_2 、($V_1 + |V_{th}| \pm V_{Data}$)のいずれかの電位を有する信号を得ることを特徴としている。

【0056】本発明の半導体装置は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する信号が入力される半導体装置であって、前記整流性素子のしきい値電圧が V_{th} であるとき、前記整流性素子の第2の電極より、($V_1 - |V_{th}|$)、 V_2 、($V_1 - |V_{th}| \pm V_{Data}$)のいずれかの電位を有する信号を得ることを特徴としている。

【0057】本発明の半導体装置は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する第2の信号が入力される半導体装置であって、前記第1の整流性素子のしきい値電圧が V_{th} 1、前記第2の整流性素子のしきい値電圧が V_{th} 2であるとき、前記第1の整流性素子の第2の電極より、($V_1 - |V_{th}1|$)、($V_2 + V_{th}2$)、($V_1 - |V_{th}1| \pm V_{Data}$)のいずれかの電位を有する信号を得ることを特徴としている。

【0058】本発明の半導体装置は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が

与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位の電圧振幅を有する第1の信号が入力され、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する第2の信号が入力される半導体装置であって、前記第1の整流性素子のしきい値電圧が V_{th} 1、前記第2の整流性素子のしきい値電圧が V_{th} 2であるとき、前記第1の整流性素子の第2の電極より、($V_1 + V_{th}1$)、($V_2' - V_{th}2$)、($V_1 + V_{th}1 \pm V_{Data}$)のいずれかの電位を得ることを特徴としている。

【0059】本発明の半導体装置は、前記整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記ゲート・ドレイン間を接続したトランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、前記ゲート・ドレイン間を接続したトランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴としている。

【0060】本発明の半導体装置は、前記第1の整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記ゲート・ドレイン間を接続したトランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、前記ゲート・ドレイン間を接続したトランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴としている。

【0061】本発明の半導体装置は、前記半導体装置は、さらにトランジスタを有し、前記トランジスタのゲート電極は、前記容量手段の第1の電極と電気的に接続されていることを特徴としている。

【0062】本発明の半導体装置は、複数の画素を有する半導体装置であって、前記複数の画素はそれぞれ、ソース信号線と、第1および第2のゲート信号線と、リセット用電源線と、電流供給線と、第1乃至第4のトランジスタと、容量手段と、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線と電気的に接続され、第2の電極は、前記容量手段の第1の電極と電気的に接続され、前記容量手段の第2の電極は、前記第2のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続され、前記第2のトランジスタの第2の電極は、前記リセット用電源線と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記発光素子の第1の電極と電気的に接続され、前記第4のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線もしくは、前記第1のトランジスタの第2の電極と電気的に接続され、第2の電極は、前記第2のトランジスタのゲート電極およ

び第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続されていることを特徴としている。

【0063】本発明の半導体装置は、複数の画素を有する半導体装置であって、前記複数の画素はそれぞれ、ソース信号線と、第1および第2のゲート信号線と、リセット用電源線と、電流供給線と、第1乃至第3のトランジスタと、容量手段と、ダイオードと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線と電気的に接続され、第2の電極は、前記容量手段の第1の電極と電気的に接続され、前記容量手段の第2の電極は、前記第2のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続され、前記第2のトランジスタの第2の電極は、前記リセット用電源線と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記発光素子の第1の電極と電気的に接続され、前記ダイオードの第1の電極は、前記第2のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続され、第2の電極は、前記第2のゲート信号線と電気的に接続されていることを特徴としている。

【0064】本発明の半導体装置は、複数の画素を有する半導体装置であって、前記複数の画素はそれぞれ、ソース信号線と、第1および第2のゲート信号線と、リセット用電源線と、電流供給線と、第1乃至第3のトランジスタと、第1および第2の容量手段と、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線と電気的に接続され、第2の電極は、前記第1の容量手段の第1の電極と電気的に接続され、前記第1の容量手段の第2の電極は、前記第2のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続され、前記第2のトランジスタの第2の電極は、前記リセット用電源線と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記発光素子の第1の電極と電気的に接続され、前記第2のゲート信号線と電気的に接続され、第2の電極は、前記第2の電極と電気的に接続され、前記第3のトランジスタのゲート電極と電気的に接続されていることを特徴としている。

【0065】本発明の半導体装置は、複数の画素を有する半導体装置であって、前記複数の画素はそれぞれ、ソース信号線と、第1乃至第3のゲート信号線と、リセット用電源線と、電流供給線と、第1乃至第5のトランジスタと、第1および第2の容量手段と、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1

のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線と電気的に接続され、第2の電極は、前記第1の容量手段の第1の電極と電気的に接続され、前記第1の容量手段の第2の電極は、前記第2のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続され、前記第2のトランジスタの第2の電極は、前記リセット用電源線と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記発光素子の第1の電極と電気的に接続され、前記第4のトランジスタのゲート電極は、前記第2のゲート信号線と電気的に接続され、第1の電極は、前記ソース信号線もしくは、前記第1のトランジスタの第2の電極と電気的に接続され、第2の電極は、前記第2のトランジスタのゲート電極および第1の電極と、前記第3のトランジスタのゲート電極と電気的に接続され、前記第2の容量手段の第1の電極は、前記第1のトランジスタの第2の電極と電気的に接続され、第2の電極は、前記第3のトランジスタの第2の電極と電気的に接続され、前記第5のトランジスタのゲート電極は、前記第3のゲート信号線と電気的に接続され、第1の電極は、前記第3のトランジスタの第2の電極と電気的に接続され、第2の電極は、前記発光素子の第2の電極の電位に等しいか、それより低い電源電位に接続されていることを特徴としている。

【0066】本発明の半導体装置は、前記半導体装置は、さらに消去用ゲート信号線と、消去用トランジスタとを有し、前記消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電気的に接続され、第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記第3のトランジスタのゲート電極と電気的に接続されていることを特徴としている。

【0067】本発明の半導体装置は、前記半導体装置は、さらに消去用ゲート信号線と、消去用トランジスタとを有し、前記消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電気的に接続され、第1の電極は、前記電流供給線と電気的に接続され、第2の電極は、前記第1のトランジスタの第2の電極と電気的に接続されていることを特徴としている。

【0068】本発明の半導体装置は、前記半導体装置は、さらに消去用ゲート信号線と、消去用トランジスタとを有し、前記消去用トランジスタは、前記電流供給線と前記第3のトランジスタの第1の電極との間、もしくは、前記第3のトランジスタの第2の電極と、前記発光素子の第1の電極との間に設けられ、前記消去用トランジスタのゲート電極は、前記消去用ゲート信号線と電気的に接続されていることを特徴としている。

【0069】本発明の半導体装置は、前記第2のトランジスタと、前記第3のトランジスタとは、同一極性であることを特徴としている。

【0070】本発明の半導体装置の駆動方法は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値 V_{th} に収束させ、前記整流性素子の第2の電極の電位を($V_1 + V_{th}$)とする第2のステップとを有することを特徴としている。

【0071】本発明の半導体装置の駆動方法は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する信号が入力され、前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値 V_{th} に収束させ、前記整流性素子の第2の電極の電位を($V_1 + V_{th}$)とする第2のステップと、前記容量手段の第2の電極の電位を V_{Data} だけ変化させ、前記整流性素子の第2の電極の電位を($V_1 + V_{th} \pm V_{Data}$)とする第3のステップとを有することを特徴としている。

【0072】本発明の半導体装置の駆動方法は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値 V_{th} に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th}|$)とする第2のステップとを有することを特徴としている。

【0073】本発明の半導体装置の駆動方法は、整流性素子と、容量手段と、スイッチング素子とを有し、前記整流性素子の第1の電極には、第1の電源電位 V_1 が与

えられ、前記整流性素子の第2の電極は、前記容量手段の第1の電極および、前記スイッチング素子の第1の電極と電気的に接続され、前記スイッチング素子の第2の電極には、第2の電源電位 V_2 が与えられ、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する信号が入力され、前記整流性素子のしきい値電圧が V_{th} であるとき、前記スイッチング素子を導通して、前記整流性素子の第2の電極の電位を V_2 とする第1のステップと、前記第1のステップから、前記スイッチング素子を非導通とし、前記整流性素子の両電極間の電圧を、しきい値 V_{th} に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th}|$)とする第2のステップと、前記容量手段の第2の電極の電位を V_{Data} だけ変化させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th}| \pm V_{Data}$)とする第3のステップとを有することを特徴としている。

【0074】本発明の半導体装置の駆動方法は、前記半導体装置は、さらにトランジスタを有し、前記トランジスタのゲート電極は、前記整流性素子の第2の電極と電気的に接続されていることを特徴としている。

【0075】本発明の半導体装置の駆動方法は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記第1の整流性素子のしきい値電圧が V_{th1} 、前記第2の整流性素子のしきい値電圧が V_{th2} であるとき、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の第2の電極の電位を($V_2 + V_{th2}$)とする第1のステップと、前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の両電極間の電圧を、しきい値 V_{th1} に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th1}|$)とする第2のステップとを有することを特徴としている。

【0076】本発明の半導体装置の駆動方法は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記容量手段の第2の電極には、 V_3 以上($V_3 + V_{Data}$)以下、または($V_3 - V_{Data}$)以上 V_3 以下の電位を有する第2の信号が入力され、前記第1の整流性素子のしきい値電圧が V_{th1} 、前記第2の整流性素子のしきい値電圧が V_{th2} であるとき、前記第2の容量手段の第2の電極の電位を V_2 と

し、前記第1の整流性素子の第2の電極の電位を($V_2 + V_{th\ 2}$)とする第1のステップと、前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の両電極間の電圧を、しきい値 $V_{th\ 1}$ に収束させ、前記整流性素子の第2の電極の電位を($V_1 - |V_{th\ 1}|$)とする第2のステップと、前記容量手段の第2の電極の電位を V_{data} だけ変化させ、前記第1の整流性素子の第2の電極の電位を($V_1 - |V_{th\ 1} \pm V_{data}|$)とする第3のステップとを有することを特徴としている。

【0077】本発明の半導体装置の駆動方法は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_2 以上 V_2' 以下の電位を有する第1の信号が入力され、前記第1の整流性素子のしきい値電圧が $V_{th\ 1}$ 、前記第2の整流性素子のしきい値電圧が $V_{th\ 2}$ であるとき、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の第2の電極の電位を($V_2' - |V_{th\ 2}|$)とする第1のステップと、前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の両電極間の電圧を、しきい値 $V_{th\ 1}$ に収束させ、前記整流性素子の第2の電極の電位を($V_1 + V_{th\ 1}$)とする第2のステップとを有することを特徴としている。

【0078】本発明の半導体装置の駆動方法は、第1の整流性素子と、第2の整流性素子と、容量手段とを有し、前記第1の整流性素子の第1の電極には、第1の電源電位 V_1 が与えられ、前記第1の整流性素子の第2の電極は、前記容量手段の第1の電極および、前記第2の整流性素子の第1の電極と電気的に接続され、前記第2の整流性素子の第2の電極には、 V_3 以上($V_3 + V_{data}$)以下、または($V_3 - V_{data}$)以上 V_3 以下の電位を有する第2の信号が入力され、前記第1の整流性素子のしきい値電圧が $V_{th\ 1}$ 、前記第2の整流性素子のしきい値電圧が $V_{th\ 2}$ であるとき、前記第2の容量手段の第2の電極の電位を V_2' とし、前記第1の整流性素子の第2の電極の電位を($V_2' - |V_{th\ 2}|$)とする第1のステップと、前記第1のステップから、前記第2の容量手段の第2の電極の電位を V_2 とし、前記第1の整流性素子の両電極間の電圧を、しきい値 $V_{th\ 1}$ に収束させ、前記整流性素子の第2の電極の電位を($V_1 + V_{th\ 1}$)とする第2のステップと、前記容量手段の第2の電極の電位を V_{data} だけ変化させ、前記第1の整流性素子の第2の電極の電位を($V_1 + V_{th\ 1} \pm V_{data}$)とする第3のステップとを有することを特徴としている。

【0079】本発明の半導体装置の駆動方法は、前記半導体装置は、さらにトランジスタを有し、前記トランジスタのゲート電極は、前記第1の整流性素子の第2の電極と電気的に接続されていることを特徴としている。

【0080】本発明の半導体装置の駆動方法は、前記整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記トランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、前記トランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴としている。

【0081】本発明の半導体装置の駆動方法は、前記第1の整流性素子は、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記トランジスタがNチャネル型であるとき、 $V_1 < V_2$ であり、前記トランジスタがPチャネル型であるとき、 $V_1 > V_2$ であることを特徴としている。

【0082】

【発明の実施の形態】【実施の形態1】図1(A)に、本発明の第1の実施形態を示す。本実施形態は、ソース信号線101、第1、第2のゲート信号線102、103、TFT104～107、容量手段108、EL素子109、リセット用電源線110、電流供給線111、電源線112を有する。さらに、映像信号を保持するための保持容量手段113を設けても良い。

【0083】TFT104のゲート電極は、第1のゲート信号線102に接続され、第1の電極は、ソース信号線101に接続され、第2の電極は、容量手段108の第1の電極に接続されている。TFT105のゲート電極と第1の電極とは互いに接続されて容量手段108の第2の電極に接続され、TFT105の第2の電極は、リセット用電源線110に接続されている。TFT106のゲート電極は、容量手段108の第2の電極、TFT105のゲート電極、および第1の電極に接続され、TFT106の第1の電極は、電流供給線111に接続され、第2の電極は、EL素子109の第1の電極に接続されている。EL素子109の第2の電極は、電源線112に接続され、電流供給線111とは互いに電位差を有している。TFT107のゲート電極は、第2のゲート信号線103に接続され、第1の電極はソース信号線101に接続され、第2の電極は、TFT106のゲート電極に接続されている。保持容量手段113を設ける場合には、TFT106のゲート電極と、電流供給線111等の定電位を得られる部位との間に設ければ良い。

【0084】図1(B)は、第1、第2のゲート信号線に入力されるパルスのタイミングを示している。図1および図2(A)～(D)を用いて、動作について説明する。なお、ここではTFT104、107はNチャネル型TFT、TFT105、106はPチャネル型TFTを用いて構成しているが、TFT104、107に関しては単

にスイッチング素子として機能すれば良く、その極性は問わない。

【0085】リセット用電源線110の電位が
 V_{Reset} 、電流供給線111の電位が V_D であり、 $V_{Reset} < V_D$ とする。まず、ソース信号線101の電位が $V_{SS} (< V_{Reset})$ となり、さらに第2のゲート信号線103がHレベルとなってTFT107がONする。すると、TFT105、106のゲート電極の電位が降下していく。やがて、TFT106のゲート・ソース間電圧がしきい値よりも低くなつてONし、続いてTFT105のゲート・ソース間電圧がしきい値よりも低くなつてONする(図2(A))。このとき、図2(A)においては、TFT104はOFFしているが、この期間でONしていても構わない。

【0086】TFT105がONすると、リセット用電源線110～TFT105～TFT107～ソース信号線101に電流バスが生ずる。よって、TFT105がONした後、すぐに第2のゲート信号線103をLレベルとして、TFT107をOFFする。同時に、第1のゲート信号線102をHレベルとし、TFT104をONする。すると、図2(B)に示すような電荷の移動が生ずる。TFT105がONしているので、TFT105、106のゲート電極の電位が上昇していく。ここで、TFT105のゲート・ドレイン間は接続されているため、TFT105のゲート・ソース間電圧、すなわちTFT105のソース・ドレイン間電圧がしきい値に等しくなつたところで、TFT105がOFFする。このとき、TFT105、106のゲート電極の電位は、 $(V_{Reset} - |V_{th}|)$ である。一方、容量手段108に注目すると、両端の電圧が $(V_{Reset} - |V_{th}| - V_{SS})$ となるだけの電荷が貯まっている。

【0087】続いて、ソース信号線101より、映像信号が入力される(図2(C))。ソース信号線101の電位が、 V_{SS} から V_{Data} だけ変化する。ここで、容量手段108による容量結合により、TFT105、106のゲート電極の電位も V_{Data} だけ変化する。このとき、TFT105がONしてはならない。このときの V_{Data} の値の条件に関しては後述する。一方、TFT106のソース電位は $V_D (> V_{Reset})$ であり、ゲート・ソース間電圧は、 $(V_{Reset} - |V_{th}| + V_{Data} - V_D)$ となり、このゲート・ソース間電圧に応じたドレイン電流が、EL素子109に供給され、発光する(図2(D))。

【0088】ここで、リセット用電源線110の電位 V_{Reset} 、電流供給線111の電位 V_D 、ソース信号線101の電位、および映像信号 V_{Data} の大小関係について、図2(E)を用いて説明する。

【0089】まず、固定電位の大小関係としては、 $V_{SS} < V_{Reset} < V_D$ である。

【0090】次に、TFT105、106のゲート電極の電位について考える。図2(A)の初期化によって、T

F T 1 0 5、1 0 6のゲート電極の電位は図2(E)に①で示した電位、すなわち V_{SS} となる。統いて、しきい値の保存を行っている期間には、T F T 1 0 5、1 0 6のゲート電極の電位は上昇し、最終的に図2(E)に②で示した電位、すなわち($V_{Reset} - |V_{th}|$)となる。統いて、映像信号が入力されると、②の電位からさらに V_{Data} だけ変化する。ここで、 V_{Data} が負の値である場合、T F T 1 0 5、1 0 6のゲート電極の電位は、②の電位よりも低くなる。すなわち、T F T 1 0 5のゲート・ソース間電圧はしきい値よりも低くなつてONしてしまうため、前述の条件に反する。よって V_{Data} は正の値である必要がある。よって、映像信号の入力によって、T F T 1 0 5、1 0 6の電位は、図2(E)に③で示した電位、すなわち($V_{Reset} - |V_{th}| + V_{Data}$)となる。また、T F T 1 0 6においては、そのゲート電極の電位が $V_D - |V_{th}|$ よりも高くなるとOFFするので、映像信号 V_{Data} のとり得る電位の範囲は、図2(E)に200で示した範囲、すなわち $0 \leq V_{Data} \leq V_D - V_{Reset}$ (好ましくは、T F T 1 0 5が確実にOFFするよう、 $0 < V_{Data} \leq V_D - V_{Reset}$)である必要がある。ただし、階調0、すなわちEL素子109が全く発光しない状態のときは、T F T 1 0 6がOFFする電位、すなわち($V_D - V_{Reset}$)よりもわずかに高い電位を与えるようにしても良い。

【0091】このとき、 V_{Data} が0に近いほど、T F T 1 0 6のゲート・ソース間電圧の絶対値は大きくなるので、EL素子109の輝度は高い。 V_{Data} が大きい値であるほど、T F T 1 0 6のゲート・ソース間電圧の絶対値は小さくなるので、EL素子109の輝度は低い。

【0092】以上の動作を1画面にわたって行うことにより、映像の表示を行う。本発明の場合、しきい値の保存は容量手段108のみによってなされるので、前述のような容量値のばらつきがEL素子109に流れる電流値に影響することがなく、確実なしきい値補正を行うことが出来る。

【0093】[実施の形態2]前述のアナログ階調方式とは異なる方式として、TFTのしきい値等がON電流に影響しにくい領域を用いて、EL素子109を輝度100%、0%の2つの状態のみで制御するデジタル階調方式が提案されている。この方式では、白、黒の2階調しか表現出来ないため、時間階調方式や、面積階調方式等と組み合わせて多階調化を実現している。

【0094】時間階調方式とは、EL素子109が発光している時間の差を利用して、視覚的に輝度差を表現する方法である。詳細な動作については他の項で述べるが、このような駆動方法の場合、EL素子109は発光、非発光の2つの状態のみをとれば良い。よって映像信号 V_{Data} もHレベル、Lレベルの2電位のみが与えられれば良い。

【0095】今、TFT106はPチャネル型であるの

で、 V_{Data} がLレベルのとき、EL素子109が発光し、 V_{Data} がHレベルのとき、EL素子109が非発光となる。このとき、実施形態1にて示した V_{Data} の条件より、 V_{Data} がLレベルのとき、その電位は図2(E)にて200で示される範囲のうち、出来るだけEL素子109に多くの電流を供給出来て、かつTFT105がONしない電位とすれば良い。すなわち($V_{Reset} - |V_{th}|$)に等しいか、やや高い電位とすれば良い。一方、 V_{Data} がHレベルのときは、TFT106が確実にOFFする電位とすれば良い。この場合、特にその電位は200で示された範囲である必要はなく、むしろそれより高い電位、(例えば V_{DD} 等)を入力するのが望ましい。

【0096】[実施の形態3]図3(A)に、第3の実施形態として、TFTの接続を一部異なるものとした例を示す。概ね図1(A)に示した構成と同様であるが、TFT307の第1の電極が、ソース信号線ではなく、TFT304の第2の電極に接続されている点が異なる。

【0097】図3(B)～(E)に沿って、動作について説明する。リセット用電源線310の電位が V_{Reset} 、電流供給線311の電位が V_{DD} であり、 $V_{Reset} < V_{DD}$ とする。まず、ソース信号線301の電位が V_{SS} ($< V_{Reset}$)となり、さらに第1、第2のゲート信号線302、303がHレベルとなってTFT304、307がONする。すると、TFT305、306のゲート電極の電位が降下していく。やがて、TFT305のゲート・ソース間電圧がしきい値よりも低くなってONし、続いてTFT306のゲート・ソース間電圧がしきい値よりも低くなってONする(図3(B))。

【0098】TFT305がONしたことによって、リセット用電源線310～TFT305～TFT307～TFT304～ソース信号線301に電流パスが生ずる。よってTFT305、306がいずれもONした後、すぐに第2のゲート信号線303をLレベルとして、TFT307をOFFする。すると、図3(C)に示すような電荷の移動が生ずる。TFT305がONしているので、TFT305、306のゲート電極の電位が上昇していく。ここで、TFT305のゲート・ドレン間には接続されているため、TFT305のゲート・ソース間電圧、すなわちTFT305のソース・ドレン間電圧がしきい値 V_{th} に等しくなったところで、TFT305がOFFする。このとき、TFT305、306のゲート電極の電位は、($V_{Reset} - |V_{th}|$)である。一方、容量手段308による容量結合により、TFT305、306のゲート電極の電位も V_{Data} だけ変化する。このとき、TFT305がONしてはならない。一方、TFT306の

ソース電位は V_{DD} ($> V_{Reset}$)であり、ゲート・ソース間電圧は、($V_{Reset} - |V_{th}| + V_{Data} - V_{DD}$)となり、このゲート・ソース間電圧に応じたドレン電流が、EL素子309に供給され、発光する(図3(E))。

【0100】[実施の形態4]ここで、デジタル階調方式と時間階調方式とを組み合わせた方法について説明する。このような方法を用いて駆動する場合、画素の構成は図9(A)に示すようなものが一例とされる。スイッチング用TFT904、駆動用TFT905に加え、消去用TFT906を用いることによって、発光時間の長さを細かく制御することが可能となっている。

【0101】デジタル階調方式と時間階調方式とを組み合わせた場合、図9(B)に示すように、1フレーム期間を複数のサブフレーム期間に分割する。各サブフレーム期間は、図9(C)に示すように、アドレス(書き込み)期間と、サステイン(発光)期間とを有し、さらに、必要な場合には消去期間を有する。階調表現の方法としては、例えば、表示ビット数に応じた数のサブフレーム期間を設け、各サブフレーム期間におけるサステイン(発光)期間の長さを、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2 : 1$ とし、各サステイン(発光)期間でEL素子の発光、もしくは非発光の選択をし、1フレーム期間内にEL素子が発光している合計時間の長さの差を利用して階調表現を行う。発光している合計期間が長ければ輝度が高く、短ければ輝度が低く認識される。図9(B)においては4ビット階調の例を示しており、1フレーム期間は4つのサブフレーム期間に分割され、サステイン(発光)期間の組み合わせによって $2^4 = 16$ 階調を表現出来る。なお、フレーム期間の分割数についてはこの限りではなく、さらに多くのサブフレーム期間に分割されていても良い。

【0102】また、階調表現に際しては、サステイン(発光)期間の長さの比が必ずしも $2^{(n-1)} : 2^{(n-2)} : \dots : 2 : 1$ となっていなくても良い。

【0103】この方法により多階調化を図る場合、下位ビットのサステイン(発光)期間の長さがより短くなるため、サステイン(発光)期間の終了後、直ちに次のアドレス期間を開始しようとすると、異なるサブフレーム期間のアドレス(書き込み)期間が重複する期間が生ずる。その場合、ある画素に入力される映像信号が、同時に異なる画素にも入力されてしまうことになるため、正常な表示が出来なくなる。消去期間は、このような問題を解決する期間として、図9(B)において、T_s3の後、およびT_s4の後で、隣接するサブフレーム期間に属するアドレス(書き込み)期間が重複しないように設けられる。よって、サステイン(発光)期間が長く、隣接するサブフレーム期間に属するアドレス(書き込み)期間の重複が生ずる心配の無いSF1、SF2においては、消去期間は設けられていない。

【0104】図4(A)は、実施形態1にて示した構成の画素に、第3のゲート信号線414、消去用TFT411

5を追加し、デジタル階調方式と時間階調方式とを組み合わせた方法を用いるものである。消去用TFT415のゲート電極は、第3のゲート信号線414に接続され、消去用TFT415の第1の電極は、TFT406のゲート信号線に接続され、消去用TFT415の第2の電極は、電流供給線411に接続されている。また、映像信号を保持するために、保持容量手段413を設ける場合には、TFT406のゲート電極と、ある定電位を得られる部位との間に設ければ良い。図4の場合、電流供給線411との間に設けているが、例えば前段のゲート信号線等でも良い。また、TFT404の第2の電極と、電流供給線411等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合には、両方に設けても良い。

【0105】初期化から映像信号の入力、発光までは、実施形態1にて説明したものと同様である。なお、初期化、映像信号の入力、およびサステイン(発光)期間においては、消去用TFT415はOFFしている。

【0106】ここで、サステイン(発光)期間から消去期間における動作について、図4および図12を用いて説明する。図12(A)は、図9(B)に示したものと同様であり、1フレーム期間は4つのサブフレーム期間を有する。図12(B)に示すとおり、サステイン(発光)期間が短いサブフレーム期間SF3、SF4においては、それぞれ消去期間Te3、Te4を有している。ここでは、SF3での動作を例として説明する。

【0107】映像信号の入力が完了した後、図4(B)に示すように、TFT406のゲート・ソース間に電圧に応じた電流がEL素子409に流れ発光する。その後、当該サステイン(発光)期間の終了するタイミングに達すると、第3のゲート信号線414にパルスが入力されてHレベルとなり、TFT415がONし、図4(C)に示すように、TFT406のゲート・ソース間電圧を0とする。この動作によってTFT406がOFFしてEL素子409への電流が遮断され、強制的にEL素子409が非発光となる。

【0108】これらの動作に関するタイミングチャートを図12(C)に示した。初期化、しきい値保存、映像信号書き込みを行う期間がアドレス(書き込み)期間に含まれる。サステイン(発光)期間の後、第3のゲート信号線414にパルスが入力されてEL素子409が非発光となってから、次に第2のゲート信号線403にパルスが入力されて初期化が始まるまでの期間が消去期間となる。

【0109】[実施の形態5]本実施形態においては、実施形態4とは異なる構成によって消去動作を行う例について、図5を用いて説明する。

【0110】図5(A)は、実施形態4と同様、消去用TFT415を有する構成であるが、実施形態4において、TFT415の第1の電極は、TFT406のゲー

ト電極、つまり容量手段408の第2の電極に接続されていたのに対し、図5(A)においては、容量手段408の第1の電極に接続されている。

【0111】映像信号の入力が完了した後、図5(B)に示すように、TFT406のゲート・ソース間に電圧に応じた電流がEL素子409に流れ発光する。その後、当該サステイン(発光)期間の終了するタイミングに達すると、第3のゲート信号線414にパルスが入力されてHレベルとなり、TFT415がONし、図5(C)に示すように、容量手段408の第1の電極における電位がV_Dとなる。よって、TFT406のゲート電極の電位はV_Dよりもさらに高くなるため、ゲート・ソース間電圧が正の値となる。この動作によってTFT406がOFFしてEL素子409への電流が遮断され、強制的にEL素子409が非発光となる。

【0112】つまり、消去期間の動作は、EL素子409に電流を供給するための駆動用TFTとして機能しているTFT406のゲート・ソース間電圧を、TFT406がOFFするような電圧とすることにより、EL素子409への電流を遮断する。このような原理に基づく限りは、消去用TFT415の位置は、限定しない。

【0113】[実施の形態6]実施の形態4、5において、消去期間の動作は、EL素子409に電流を供給するための駆動用TFTとして機能しているTFT406のゲート・ソース間電圧を、TFT406がOFFするような電圧とすることにより、EL素子409への電流を遮断していた。この他の方法を用いた例を図6(A)に示す。実施の形態4、5においては、消去用TFT415は、電流供給線411と、TFT406のゲート電極、もしくは電流供給線411と、容量手段408の第1の電極との間に設けられていたが、本実施形態においては、消去用TFT415は、TFT406とEL素子409との間に設けられている。つまり、本実施形態の手法では、電流供給線～TFT406～EL素子409という経路のいずれかの場所にTFTを追加し、そのTFTをOFFすることによって、EL素子409への電流供給を遮断する。

【0114】初期化、映像信号の入力、および発光については、実施の形態4、5と同様である。ただし、消去用TFT415は、サステイン(発光)期間にのみONし、図6(B)に示すように電流が流れる。初期化、映像信号の入力、および消去期間においては、TFT415はOFFし、EL素子409への電流を遮断する。

【0115】実施の形態4、5と動作面で異なる点としては、実施の形態4、5においては、一度消去用TFT415をONすることによって、TFT406のゲート・ソース間電圧を制御するので、一度この動作を行った後は、EL素子409は次の映像信号が書き込まれるまで発光しない。よって第3のゲート信号線414に入力されるパルスは、図12(C)に示したように、消去期間

を開始するタイミングで短いパルスを入力するだけで良いが、本実施形態においては、消去用TFT415は、サステイン(発光)期間を通じてONしている必要があるため、第3のゲート信号線415には、サブフレーム期間ごとに、サステイン(発光)期間に等しい長さでパルスを入力する必要がある。

【0116】また、実施の形態4、5および本実施形態において、消去用TFTはNチャネル型TFTを用いているが、消去用TFTは単なるスイッチング素子として用いているので、特にその極性は限定しない。

【0117】[実施の形態7]実施の形態1～6においては、映像信号が入力される前の初期化動作には、あるTFTを用いて行っている。具体的には、ゲート電極とドレイン領域とが接続されたTFTのソース・ドレイン間に現れるしきい値を取得している。これに対し、図7(A)では、TFTの代わりにダイオード713を用いる。ダイオード713の第1の電極は、TFT706のゲート電極に接続され、第2の電極は、第2のゲート信号線703に接続されている。また、映像信号を保持するために、容量手段712を設ける場合には、TFT706のゲート電極と、電流供給線710等の定電位を得られる部位との間に設ければ良い。また、TFT704の第2の電極と、電流供給線710等の定電位を得られる部位との間に設けても良いし、保持容量の値を大きくしたい場合には、両方に設けても良い。

【0118】実施の形態1と異なる点は、初期化の際の動作のみである。ここでは、映像信号の入力および発光動作についての説明は省略し、図7(B)を用いて初期化の際の動作について説明する。

【0119】まず、第2のゲート信号線703の電位は、Hレベル(例えば V_{DD})としておく。続いて、初期化のタイミングで、第2のゲート信号線703の電位をLレベル(例えば V_{SS})とすると、ダイオード713には順バイアスがかかり、電位の高いノードから低いノードへ、つまり図7(B)に示すように電流が生じ、TFT705、706のゲート電極の電位が降下する。やがて、TFT705において、ゲート・ソース間電圧がしきい値電圧よりも低くなってONし、その後さらに、TFT706において、ゲート・ソース間電圧がしきい値電圧よりも低くなってONする。ここで初期化は完了し、第2のゲート信号線703の電位は再びHレベルとなる。このとき、ダイオード713には逆バイアスがかかり、映像信号の入力、発光動作を行っている期間においては、電流が流れない。

【0120】以後、実施の形態1と同様にして、入力された映像信号に応じた電流がEL素子708に流れて発光する。

【0121】図7(C)は、ダイオード713に代わって、容量手段714を設けた例を示している。容量手段714の第1の電極は、TFT706のゲート電極に接

続され、第2の電極は、第2のゲート信号線703に接続されている。この場合も、動作は図7(B)に示したものと同様であり、まず、第2のゲート信号線703をHレベルとしておき、初期化のタイミングで、第2のゲート信号線703の電位をLレベルとする。このとき、TFT705がOFFしているので、容量手段714による容量結合により、TFT705、706のゲート電極の電位が降下する。やがて、TFT705において、ゲート・ソース間電圧がしきい値電圧よりも低くなってONし、その後さらに、TFT706において、ゲート・ソース間電圧がしきい値電圧よりも低くなってONする。

【0122】続いて、TFT704がONして、映像信号の入力が行われる。第2のゲート信号線703は、このときLレベルとなっているが、映像信号が入力されている間にHレベルとしておけば良い。

【0123】以後、実施の形態1と同様にして、入力された映像信号に応じた電流がEL素子708に流れて発光する。

20 【0124】[実施の形態8] TFT等を基板上に作り込み、画素部と周辺回路とを一体形成した表示装置は、小型、軽量という利点に対し、成膜、エッチングの繰り返しによる素子形成と、半導体層に導電性を与えるための不純物元素の添加等、作製工程の複雑さがある。特に、不純物元素の添加は、Pチャネル型TFTとNチャネル型TFTとでは別の工程となるため、さらに工程の増加を招いている。

【0125】そこで、画素部および周辺回路を、單一極性のTFTによって構成することにより、不純物元素の添加工程を一部省略することが出来る。これにより、工程短縮が可能となるのみならず、フォトマスクの枚数も減らすことが出来る。

30 【0126】單一極性のTFTを用いて構成した例としては、同発明者によって特願2001-348032号に記載の構成がある。これは、電界効果移動度の高いNチャネル型TFTのみを用いて構成されており、さらにEL素子の劣化が生じても、輝度低下を起こしにくい構成となっている。

40 【0127】本実施形態においては、この技術を本発明と組み合わせた構成により、双方の利点を兼ね備える構成、つまりEL素子の劣化に伴う輝度低下を抑制し、かつTFTのしきい値ばらつきの補正が可能な構成について説明する。

【0128】図16(A)に構成例を示す。ソース信号線1601、第1～第3のゲート信号線1602～1604、TFT1605～1609、容量手段1610、1611、EL素子1612、リセット用電源線1613、電流供給線1614、電源線1615、1616を有する。保持容量手段1617を設ける場合には、TFT1607のゲート電極と、電流供給線1614等の定

電位を得られる部位との間に設ければ良い。

【0129】TFT1605のゲート電極は、第1のゲート信号線1602に接続され、第1の電極は、ソース信号線1601に接続され、第2の電極は、容量手段1610の第1の電極に接続されている。TFT1606のゲート電極および第1の電極は互いに接続され、容量手段1610の第2の電極に接続されている。TFT1606の第2の電極は、リセット用電源線1613に接続されている。TFT1607のゲート電極は、TFT1606のゲート電極および第1の電極に接続され、第1の電極は、電流供給線1614に接続され、第2の電極は、EL素子1612の第1の電極(陽極)に接続されている。TFT1608のゲート電極は、第2のゲート信号線1603に接続され、第1の電極は、ソース信号線1601に接続され、第2の電極は、TFT1606、1607のゲート電極に接続されている。TFT1609のゲート電極は、第3のゲート信号線1604に接続され、第1の電極は、電源線1616に接続され、第2の電極は、EL素子1612の第1の電極(陽極)に接続されている。EL素子1612の第2の電極(陰極)は、電源線1615に接続されている。容量手段1611の第1の電極は、TFT1605の第2の電極に接続され、容量手段1611の第2の電極は、EL素子1612の第1の電極(陽極)に接続されている。

【0130】図16(B)、図17(A)～(E)に沿って、動作について説明する。第1～第3のゲート信号線1602～1604に入力されるパルスおよび、ソース信号線1601に入力される映像信号のタイミングチャートを図16(B)に示す。映像信号は、"V"で示されるタイミングで入力され、所定の電位をとる。

【0131】今、リセット用電源線1613の電位は V_{Reset} 、電流供給線1614の電位は V_{DD} 、電源線1615の電位は V_c 、電源線1616の電位は V_{SS} であり、 $V_{SS} < V_c < V_{DD} < V_{Reset}$ である。まず、ソース信号線1601の電位を $V_x (> V_{Reset})$ とする。そして、第2、第3のゲート信号線1603、1604がHレベルとなってTFT1608、1609がともにONすると、図17(A)に示すように電流が生じ、TFT1606、1607のゲート電極の電位が上昇する。やがて、TFT1606のゲート・ソース間電圧がしきい値を上回ってTFT1606がONし、さらに、TFT1607のゲート・ソース間電圧がしきい値を上回ってTFT1607がONする。以上の動作で初期化が完了する。

【0132】初期化の完了後、直ちに第2のゲート信号線がLレベルとなってTFT1608がOFFする。すると、TFT1606、1607のゲート電極の電位が下降を始める。そして、その電位が($V_{Reset} + V_{th}$)、すなわちTFT1606のゲート・ソース間電圧がしきい値に等しくなったところでTFT1606がOFFする。これにより、容量手段1610の両電極間には電位

差が生じてこれが保持される。

【0133】一方、この時点ではTFT1607のゲート・ソース間電圧はしきい値を上回っているためONしており、TFT1609もまたONしているため、電流供給線1614～TFT1607～TFT1609～電源線1616という経路に、図17(B)に示すように電流が流れるが、このときEL素子1612においては、 $V_{SS} < V_c$ であるため電流が流れない。よってここではEL素子1612は発光しない。

10 【0134】続いて、映像信号の入力を開始する。電位 V_x に固定されていたソース信号線1601に、所定の電位を持った映像信号が入力され、ソース信号線1601の電位は($V_x - V_{Data}$)となる。TFT1606は、そのゲート・ソース間電圧がしきい値よりも小さくなつており、OFFしたままである。一方、TFT1607のゲート・ソース間電圧は、($V_{Reset} + V_{th} - V_{Data} - V_{DD}$)となり、この電圧に応じたドレイン電流が流れる(図17(C))。

20 【0135】映像信号の入力が終了すると、第1のゲート信号線1602がLレベルとなってTFT1605がOFFし、その後、第3のゲート信号線1604がLレベルとなってTFT1609がOFFする。これにより、TFT1607を流れる電流は、EL素子1612に流れ、発光する(図17(D))。

【0136】ここで、リセット用電源線1613の電位 V_{Reset} 、電流供給線1614の電位 V_{DD} 、ソース信号線1601の電位、および映像信号 V_{Data} の大小関係について、図17(E)を用いて説明する。

【0137】TFT1606、1607のゲート電極の電位について考える。図17(A)の初期化によって、TFT1606、1607のゲート電極の電位は図17(E)に①で示した電位、すなわち V_x となる。続いて、しきい値の保存を行っている期間には、TFT1606、1607のゲート電極の電位は下降し、最終的に図17(E)に②で示した電位、すなわち($V_{Reset} + |V_{th}|$)となる。続いて、映像信号が入力されると、②の電位からさらに V_{Data} だけ変化する。ここで、この変化が正である場合、TFT1606、1607のゲート電極の電位は、②の電位よりも高くなる。すなわち、TFT1606のゲート・ソース間電圧はしきい値よりも高くなつてONしてしまうため、前述の条件に反する。よって、映像信号の変化は負である必要がある。よって、映像信号の入力によって、TFT1606、1607の電位は、図17(E)に③で示した電位、すなわち($V_{Reset} + |V_{th}| - V_{Data}$)となる。また、TFT1607においては、そのゲート電極の電位が $V_{DD} + |V_{th}|$ よりも低くなるとOFFするので、映像信号 V_{Data} のとり得る電位の範囲は、図17(E)に1700で示した範囲、すなわち $0 \leq V_{Data} \leq V_{Reset} - V_{DD}$ (好ましくは、TFT1606が確実にOFFするよう、 $0 < V_{Data} \leq V_{Reset}$

40 40 【0138】ここで、リセット用電源線1613の電位 V_{Reset} 、電流供給線1614の電位 V_{DD} 、ソース信号線1601の電位、および映像信号 V_{Data} の大小関係について、図17(E)を用いて説明する。

45 【0139】TFT1606、1607のゲート電極の電位は図17(E)に①で示した電位、すなわち V_x となる。続いて、しきい値の保存を行っている期間には、TFT1606、1607のゲート電極の電位は下降し、最終的に図17(E)に②で示した電位、すなわち($V_{Reset} + |V_{th}|$)となる。続いて、映像信号が入力されると、②の電位からさらに V_{Data} だけ変化する。ここで、この変化が正である場合、TFT1606、1607のゲート電極の電位は、②の電位よりも高くなる。すなわち、TFT1606のゲート・ソース間電圧はしきい値よりも高くなつてONしてしまうため、前述の条件に反する。よって、映像信号の変化は負である必要がある。よって、映像信号の入力によって、TFT1606、1607の電位は、図17(E)に③で示した電位、すなわち($V_{Reset} + |V_{th}| - V_{Data}$)となる。また、TFT1607においては、そのゲート電極の電位が $V_{DD} + |V_{th}|$ よりも低くなるとOFFするので、映像信号 V_{Data} のとり得る電位の範囲は、図17(E)に1700で示した範囲、すなわち $0 \leq V_{Data} \leq V_{Reset} - V_{DD}$ (好ましくは、TFT1606が確実にOFFするよう、 $0 < V_{Data} \leq V_{Reset}$

$-V_{DD}$)である必要がある。ただし、階調0、すなわちEL素子1612が全く発光しない状態のときは、TFT1607が確実にOFFするように、($V_{Reset} - V_{DD}$)よりもわずかに大きい電位を V_{Data} として与えるようにしても良い。

【0138】このとき、 V_{Data} が0に近いほど、TFT1607のゲート・ソース間電圧の絶対値は大きくなるので、EL素子1612の輝度は高い。 V_{Data} が大きい値であるほど、TFT1607のゲート・ソース間電圧の絶対値は小さくなるので、EL素子1612の輝度は低い。

【0139】以上の説明は、アナログ階調方式による表示の場合を例にとって行ってきたが、実施の形態2に示すようなデジタル階調による表示も、同様に行なうことが出来る。また、時間階調方式を用いる場合に、消去用TFTを設けた構成と本実施形態とを組み合わせることも容易である。

【0140】

【実施例】以下に、本発明の実施例について記載する。

【0141】【実施例1】本実施例においては、映像信号にアナログ映像信号を用いて表示を行う発光装置の構成について説明する。図18(A)に、発光装置の構成例を示す。基板1801上に、複数の画素がマトリクス状に配置された画素部1802を有し、画素部周辺には、ソース信号線駆動回路1803および、第1、第2のゲート信号線駆動回路1804、1805を有している。図18(A)においては、2組のゲート信号線駆動回路を用い、第1、第2のゲート信号線をそれぞれ制御する。

【0142】ソース信号線駆動回路1803、第1、第2のゲート信号線駆動回路1804、1805に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit : FPC)1806を介して外部より供給される。

【0143】図18(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にアナログ映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ1811、バッファ1812、サンプリング回路1813を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【0144】ソース信号線駆動回路の動作について説明する。図19(A)に、より詳細な構成を示したので、そちらを参照する。

【0145】シフトレジスタ1901は、フリップフロップ回路(FF)1902等を複数段用いてなり、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス(S-SP)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0146】シフトレジスタ1901より出力されたサンプリングパルスは、バッファ1903等を通して増幅

された後、サンプリング回路へと入力される。サンプリング回路1904は、サンプリングスイッチ(SW)1905を複数段用いてなり、サンプリングパルスが入力されるタイミングに従って、ある列で映像信号のサンプリングを行う。具体的には、サンプリングスイッチにサンプリングパルスが入力されると、サンプリングスイッチ1905がONし、そのときに映像信号が有する電位が、サンプリングスイッチを介して各々のソース信号線へと出力される。

【0147】続いて、ゲート信号線駆動回路の動作について説明する。図18(C)に示した、第1、第2のゲート信号線駆動回路1804、1805についての詳細な構成の一例を図19(B)に示した。第1のゲート信号線駆動回路は、シフトレジスタ回路1911、バッファ1912を有し、クロック信号(G-CLK1)、クロック反転信号(G-CLKb1)、スタートパルス(G-SP1)に従って駆動される。第2のゲート信号線駆動回路2405も構成は同様で良い。

【0148】シフトレジスタ～バッファの動作については、ソース信号線駆動回路の場合と同様である。バッファによって増幅された選択パルスは、それぞれのゲート信号線を選択する。第1のゲート信号線駆動回路によって、第1のゲート信号線 G_{11} 、 G_{21} 、 \dots 、 G_{n1} が順次選択され、第2のゲート信号線駆動回路によって、第2のゲート信号線 G_{12} 、 G_{22} 、 \dots 、 G_{n2} が順次選択される。図示していないが、第3のゲート信号線駆動回路についても第1、第2のゲート信号線駆動回路と同様であり、第3のゲート信号線 G_{13} 、 G_{23} 、 \dots 、 G_{n3} が順次選択される。選択された行において、実施形態にて説明した手順により、画素に映像信号が書き込まれて発光する。

【0149】なお、ここではシフトレジスタの一例として、D-フリップフロップを複数段用いてなるものを図示したが、デコーダ等によって、信号線を選択出来るような構成としていても良い。

【0150】【実施例2】本実施例においては、映像信号にデジタル映像信号を用いて表示を行う発光装置の構成について説明する。図20(A)に、発光装置の構成例を示す。基板2001上に、複数の画素がマトリクス状に配置された画素部2002を有し、画素部周辺には、ソース信号線駆動回路2003および、第1、第2のゲート信号線駆動回路2004、2005を有している。図20(A)においては、2組のゲート信号線駆動回路を用い、第1、第2のゲート信号線をそれぞれ制御する。

【0151】ソース信号線駆動回路2003、第1、第4のゲート信号線駆動回路2004、2005に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit : FPC)2006を介して外部より供給される。

【0152】図20(B)に、ソース信号線駆動回路の構

成例を示す。これは、映像信号にデジタル映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ2011、第1のラッチ回路2012、第2のラッチ回路2013、D/A変換回路2014を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【0153】第1、第2のゲート信号線駆動回路2004、2005については、実施例1にて示したものと同様で良いので、ここでは図示および説明を省略する。

【0154】ソース信号線駆動回路の動作について説明する。図21(A)に、より詳細な構成を示したので、そちらを参照する。

【0155】シフトレジスタ2101は、フリップフロップ回路(F/F)2110等を複数段用いてなり、クロック信号(S-CLK)、クロック反転信号(S-CLK b)、スタートパルス(S-SP)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0156】シフトレジスタ2101より出力されたサンプリングパルスは、第1のラッチ回路2102に入力される。第1のラッチ回路2102には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段でデジタル映像信号を保持していく。ここでは、デジタル映像信号は3ビット入力されており、各ビットの映像信号を、それぞれの第1のラッチ回路において保持する。1つのサンプリングパルスによって、ここでは3つの第1のラッチ回路が並行して動作する。

【0157】第1のラッチ回路2102において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路2103にラッチパルス(Latch Pulse)が入力され、第1のラッチ回路2102に保持されていたデジタル映像信号は、一斉に第2のラッチ回路2103に転送される。その後、第2のラッチ回路2103に保持されたデジタル映像信号は、1行分が同時に、D/A変換回路2104へと入力される。

【0158】第2のラッチ回路2103に保持されたデジタル映像信号がD/A変換回路2104に入力されている間、シフトレジスタ2101においては再びサンプリングパルスが出力される。以後、この動作を繰り返し、1フレーム分の映像信号の処理を行う。

【0159】D/A変換回路2104においては、入力されるデジタル映像信号をデジタルアナログ変換し、アナログ電圧を有する映像信号としてソース信号線に出力する。

【0160】前記の動作が、1水平期間内に、全段にわたって同時に行われる。よって、全てのソース信号線に映像信号が出力される。

【0161】なお、実施例1においても述べたとおり、

シフトレジスタの代わりにデコーダ等を用いて、信号線を選択出来るような構成としても良い。

【0162】[実施例3]実施例2においては、デジタル映像信号はD/A変換回路によってデジタルアナログ変換を受け、画素に書き込まれるが、本発明の半導体装置は、時間階調方式によって階調表現を行うことも出来る。この場合には、図21(B)に示すように、D/A変換回路を必要とせず、階調表現は、EL素子の発光時間の長短によって制御されるので、各ビットの映像信号を並列処理する必要がないため、第1および第2のラッチ回路も1ビット分で良い。このとき、デジタル映像信号は、各ビットが直列に入力され、順次ラッチ回路に保持され、画素に書き込まれる。勿論、必要ビット数分だけのラッチ回路を並列配置していても構わない。

【0163】[実施例4]本実施例では、本発明を用いて発光装置を作製した例について、図15を用いて説明する。

【0164】図15は、TFTが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図15(B)は、図15(A)のA-A'における断面図、図15(C)は図15(A)のB-B'における断面図である。

【0165】基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、基板4001とシール材4009とシーリング材4008によって、充填材4210で密封されている。

【0166】また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、複数のTFTを有している。図15(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれるTFT(但し、ここではNチャネル型TFTとPチャネル型TFTを図示する)4201及び画素部4002に含まれるTFT4202を図示した。

【0167】TFT4201及び4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にTFT4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは

酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0168】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0169】有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0170】有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を中心とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0171】以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0172】4005aは電源線に接続された引き回し配線であり、TFT4202の第1の電極に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

【0173】シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass - Reinforced - Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0174】但し、発光素子からの光の放射方向がカバ

10

40

一材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエスチルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0175】また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【0176】また充填材4103を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0177】図15(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0178】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0179】[実施例5]図22に、図1(A)にて示した構成で、画素を実際に作製した例を示す。点線枠2200で囲まれた部分が1画素であり、他の図番は、図1(A)に付したものと同様である。

【0180】ここでは、ゲート電極を形成する材料と同40層の材料を用いて、ソース信号線101、リセット用電源線110、電流供給線111を形成し、配線材料を用いて、第1および第2のゲート信号線102、103を形成している。

【0181】画素電極120は、ここでは透明電極としており、TFT106のドレイン電極と接続される。画素電極120とTFT106のドレイン電極とは、コンタクトホール等を介すことなく、画素電極120を形成する透明導電膜と、配線材料とが直接重なり合うことによって接点がとられている。勿論、これ以外の方法で接点をとっても良い。

50

【0182】なお、容量手段108および保持容量手段113は、ゲート材料および配線材料の間で形成しているが、特にこの型には限定しない。また、TFT104～107は、簡単のため実際とは必ずしもチャネル長Lおよびチャネル幅Wが一致するようには示していないが、設計の段階で、所望のL、Wの値を決定し、各TFTのサイズが異なっていても良い。

【0183】[実施例6]発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0184】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図13に示す。

【0185】図13(A)は発光素子表示装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明の発光装置は表示部3003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0186】図13(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッターボタン3106等を含む。本発明の発光装置は表示部3102に用いることができる。

【0187】図13(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の発光装置は表示部3203に用いることができる。

【0188】図13(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の発光装置は表示部3302に用いることができる。

【0189】図13(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3

401、筐体3402、表示部A3403、表示部B3404、記録媒体(DVD等)読込部3405、操作キー3406、スピーカー部3407等を含む。表示部A3403は主として画像情報を表示し、表示部B3404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B3403、3404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0190】図13(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体3501、表示部3502、アーム部3503を含む。本発明の発光装置は表示部3502に用いることができる。

【0191】図13(G)はビデオカメラであり、本体3601、表示部3602、筐体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、操作キー3609、接眼部3610等を含む。本発明の発光装置は表示部3602に用いることができる。

【0192】図13(H)は携帯電話であり、本体3701、筐体3702、表示部3703、音声入力部3704、音声出力部3705、操作キー3706、外部接続ポート3707、アンテナ3708等を含む。本発明の発光装置は表示部3703に用いることができる。なお、表示部3703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0193】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0194】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0195】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0196】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～7に示したいずれの構成の発光装置を用いても良い。

[実施例7]本発明におけるトランジスタのしきい値補正の方法として、補正に用いるトランジスタのゲート・ドレイン間に短絡してダイオード化した状態でソース・ドレイン間に電流を流し、ソース・ドレイン間の電圧がト

ランジスタのしきい値に等しくなる現象を利用しているが、これは本発明で紹介したような画素部への適用のみならず、駆動回路への応用も可能である。

【0197】例として、電流を画素などへ出力する駆動回路における、電流源回路を挙げる。電流源回路は、入力された電圧信号から、所望の電流を出力する回路である。電流源回路内の電流源トランジスタのゲート電極に電圧信号が入力され、そのゲート・ソース間電圧に応じた電流が、電流源トランジスタを介して出力される。つまり、電流源トランジスタのしきい値補正に、本発明のしきい値補正方法を用いる。

【0198】図23(A)に、電流源回路の利用例を示す。シフトレジスタより順次サンプリングパルスが output され、該サンプリングパルスはそれぞれの電流源回路9001へと入力され、該サンプリングパルスが電流源回路9001に入力されたタイミングに従って、映像信号のサンプリングを行う。この場合、サンプリング動作は順次で行われる。

【0199】簡単な動作タイミングを図23(B)に示す。1行目のゲート信号線が選択されている期間は、シフトレジスタからサンプリングパルスが output され、映像信号のサンプリングを行う期間と、帰線期間とに分けられる。この帰線期間において、本発明のしきい値補正動作、つまり、各部の電位を初期化したり、トランジスタのしきい値電圧を取得したりする一連の動作を行う。つまり、しきい値取得動作は1水平期間ごとに行うことが出来る。

【0200】図24(A)に、図23とは異なる構成の電流を画素などへ出力する駆動回路の構成を示す。図23の場合と異なる点としては、1段のサンプリングパルスによって制御される電流源回路9001は、9001A、9001Bの2つとなっており、電流源制御信号によって、双方の動作が選択される。

【0201】図24(B)に示すように、電流源制御信号は、例えば1水平期間ごとに切り替わるようにする。すると電流源回路9001A、9001Bの動作は、一方が画素などへの電流出力を行い、他方が映像信号の入力などを行う。これが行ごとに入れ替わり行われる。この場合、サンプリング動作は順次で行われる。

【0202】図25(A)に、さらに異なる構成の駆動回路の構成を示す。図23、図24においては、映像信号の形式はデジタル・アナログを問わないが、図25(A)の構成では、デジタル映像信号を入力する。入力されたデジタル映像信号は、サンプリングパルスの出力に従って第1のラッチ回路に取りこまれ、一行分の映像信号の取り込みが終了した後、第2のラッチ回路に転送され、その後、各電流源回路9001A～9001Cへと入力される。ここで、電流源回路9001A～9001Cは、それぞれから出力される電流値が異なっている。例えれば、電流値の比が1:2:4となっている。

まり、並列にn個の電流源回路を配置し、その電流値の比を1:2:4:... $2^{(n-1)}$ とし、各電流源回路から出力される電流を足し合わせることにより、出力される電流値を線形的に変化させることが出来る。

【0203】動作タイミングは、図23に示したものとほぼ同様であり、サンプリング動作を行わない帰線期間内に、電流源回路9001において、しきい値補正動作が行われ、続いてラッチ回路に保持されているデータが転送され、電流源回路9001においてV-I変換を行い、画素へ電流を出力する。サンプリング動作は、図24に示した構成と同様、順次で行われる。

【0204】図26(A)に、さらに異なる構成の電流を画素などへ出力する駆動回路の構成を示す。この構成では、ラッチ回路に取り込まれたデジタル映像信号は、ラッチ信号の入力によってD/A変換回路へと転送され、アナログ映像信号へと変換され、該アナログ映像信号が各電流源回路9001へと入力されて、電流が output される。

【0205】また、このようなD/A変換回路に、例えばガンマ補正用の機能を持たせても良い。

【0206】図26(B)に示すように、帰線期間内にしきい値補正、ラッチデータ転送が行われ、ある行のサンプリング動作が行われている期間に、前行の映像信号のV-I変換、画素などへの電流の出力が行われる。サンプリング動作は、図24に示した構成と同様、順次で行われる。

【0207】以上に示した構成に限らず、電流源回路によってV-I変換を行う場合には、本発明のしきい値補正手段の適用が可能である。また、図24に示したような、複数の電流源回路を並列に配置し、切り替え使用するといった構成を、図25、図26等の構成と組み合わせて使用しても良い。

【発明の効果】本発明によると、容量手段の容量値等のばらつきの影響等を受けることなく、正常にTFTのしきい値ばらつきを補正することが出来る。さらに、図10、11に示したような構成によってしきい値補正を行う場合、1水平期間内に行う動作が多かったのに対して、本発明はより簡単な動作原理に基づいており、動作タイミングも簡単なため、回路の高速動作が可能となり、特にデジタル階調方式と時間階調方式とを組み合わせた方法によって表示を行う際に、よりビット数の高い映像信号を用いて高品質な映像の表示が可能となる。

【図面の簡単な説明】

- 【図1】 本発明の一実施形態と、その動作を説明する図。
- 【図2】 本発明の一実施形態と、その動作を説明する図。
- 【図3】 本発明の一実施形態と、その動作を説明する図。
- 【図4】 本発明の一実施形態と、その動作を説明す

る図。

【図5】 本発明の一実施形態と、その動作を説明する図。

【図6】 本発明の一実施形態と、その動作を説明する図。

【図7】 本発明の一実施形態と、その動作を説明する図。

【図8】 一般的な発光装置における画素の構成を示す図。

【図9】 デジタル階調方式と時間階調方式とを組み合わせた方法を説明する図。

【図10】 TFTのしきい値ばらつき補正が可能な発光装置の画素の一例と、その動作を説明する図。

【図11】 TFTのしきい値ばらつき補正が可能な発光装置の画素の一例と、その動作を説明する図。

【図12】 本発明において、デジタル階調方式と時間階調方式とを組み合わせた方法を用いる場合の動作を説明する図。

【図13】 本発明が適用可能な電子機器の例を示す図。

【図14】 本発明の動作原理を説明する図。

【図15】 発光装置の上面図および断面図。

【図16】 本発明の一実施形態と、その動作を説明する図。

【図17】 本発明の一実施形態と、その動作を説明する図。

【図18】 アナログ信号方式による発光装置の概要を説明する図。

* 【図19】 図18にて用いるソース信号線駆動回路およびゲート信号線駆動回路の構成例を示す図。

【図20】 デジタル信号方式による発光装置の概要を説明する図。

【図21】 図20にて用いるソース信号線駆動回路およびゲート信号線駆動回路の構成例を示す図。

【図22】 図1に示した構成の画素のレイアウト例を示す図。

10 【図23】 本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図24】 本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図25】 本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【図26】 本発明のしきい値補正原理を用いて電流源回路を構成する例を示す図。

【符号の説明】

101 . . . ソース信号線

102 . . . 第1のゲート信号線

20 103 . . . 第2のゲート信号線

104~107 . . . TFT

108 . . . 容量手段

109 . . . EL素子

110 . . . リセット用電源線

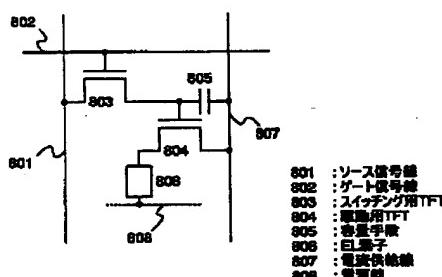
111 . . . 電流供給線

112 . . . 電源線

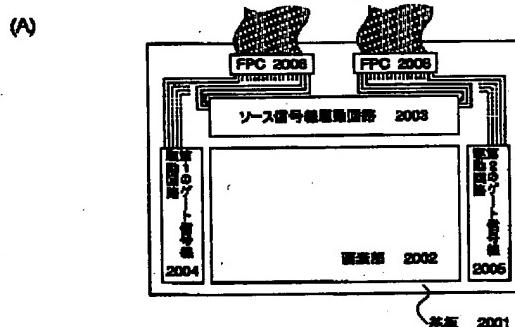
113 . . . 保持容量手段

*

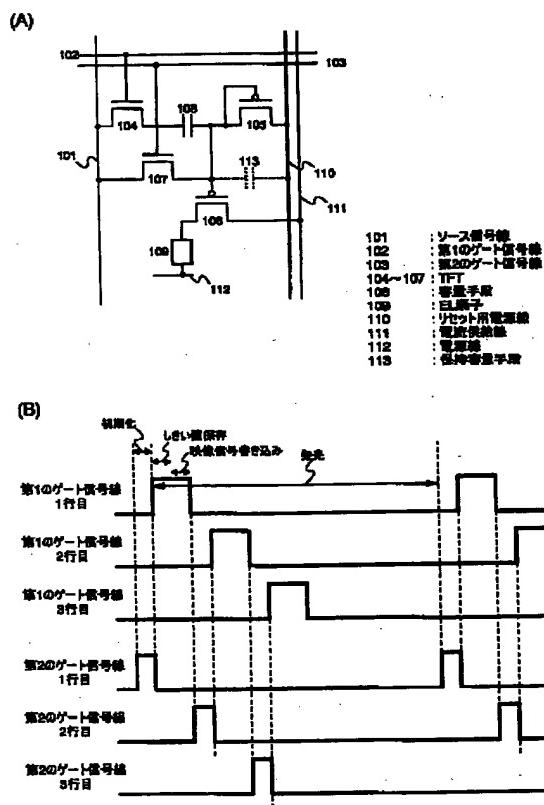
【図8】



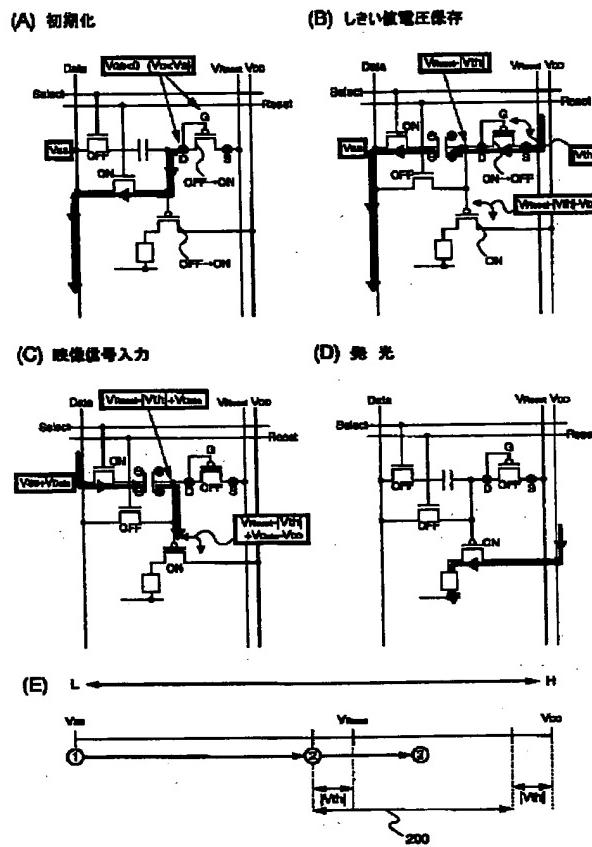
【図20】



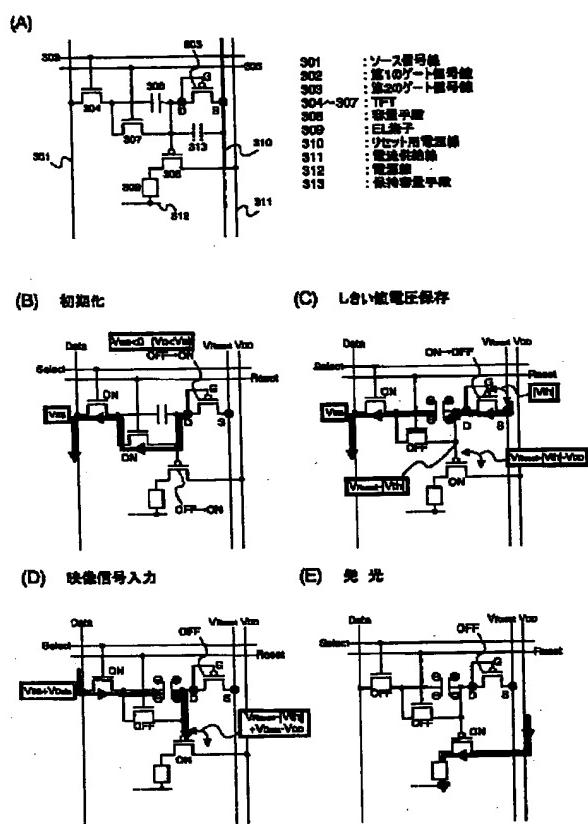
【図1】



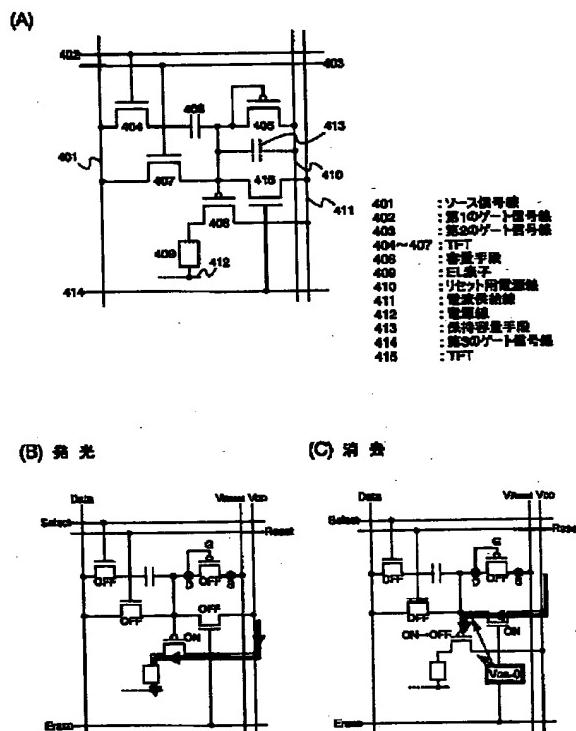
【図2】



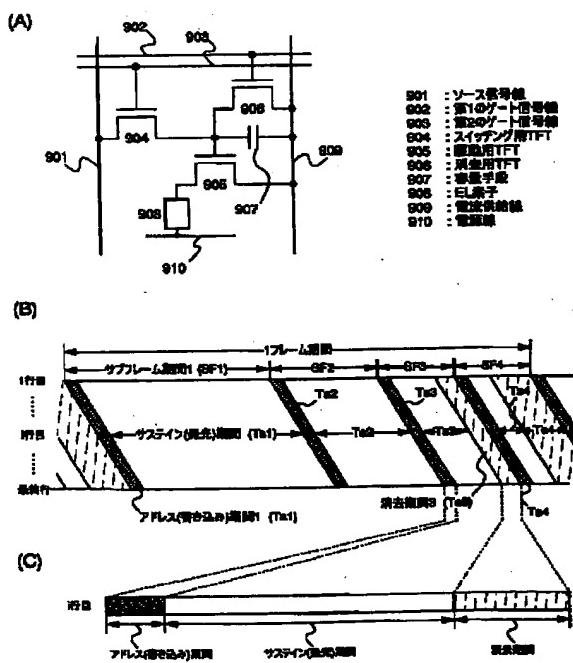
〔图3〕



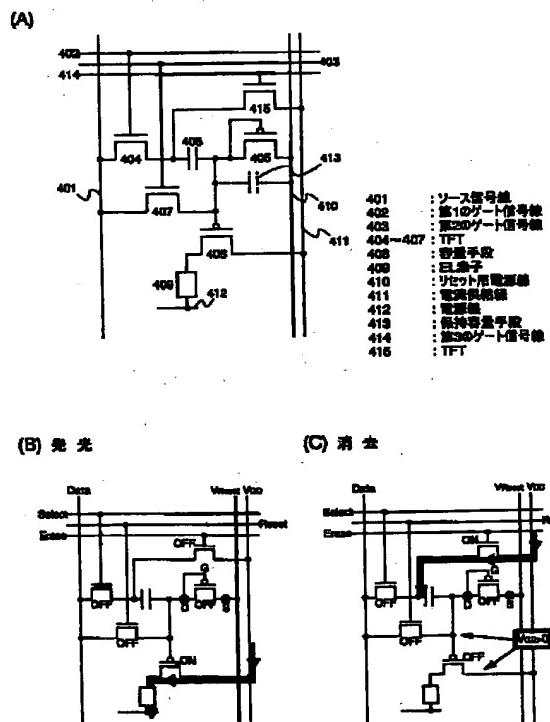
【図4】



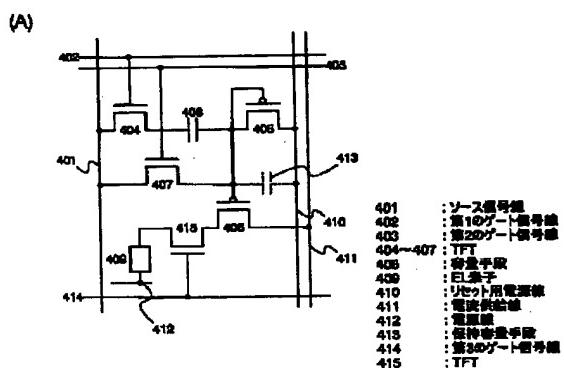
[图9]



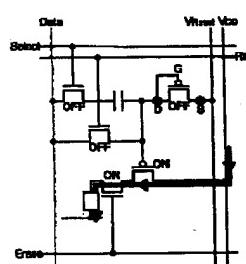
【図5】



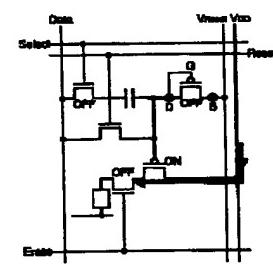
〔四六〕



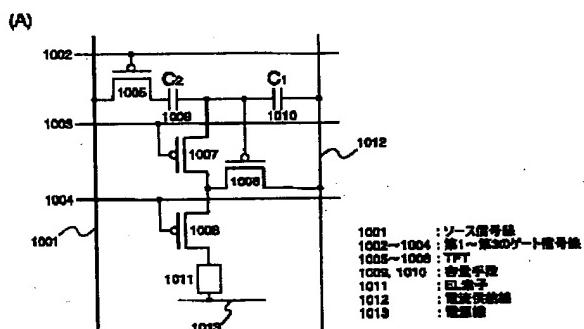
(B) 光



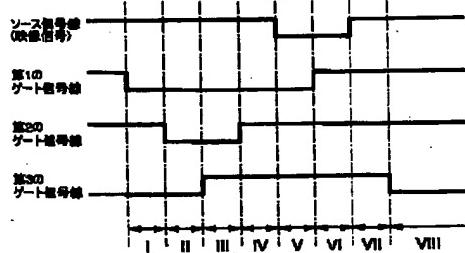
(C) 消去



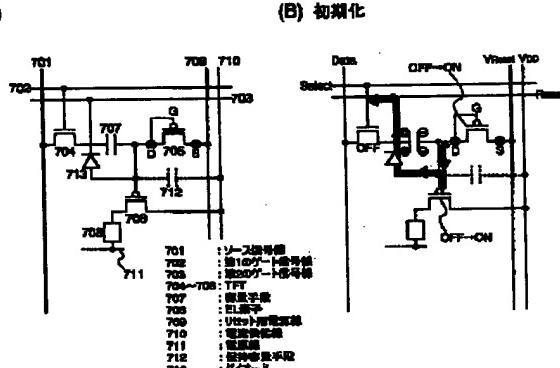
【 10】



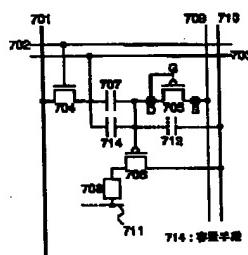
(B)



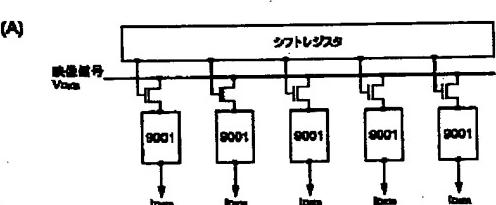
【图7】



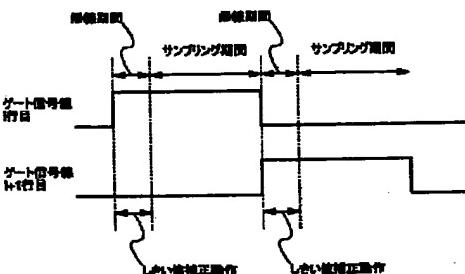
(D) 初期化



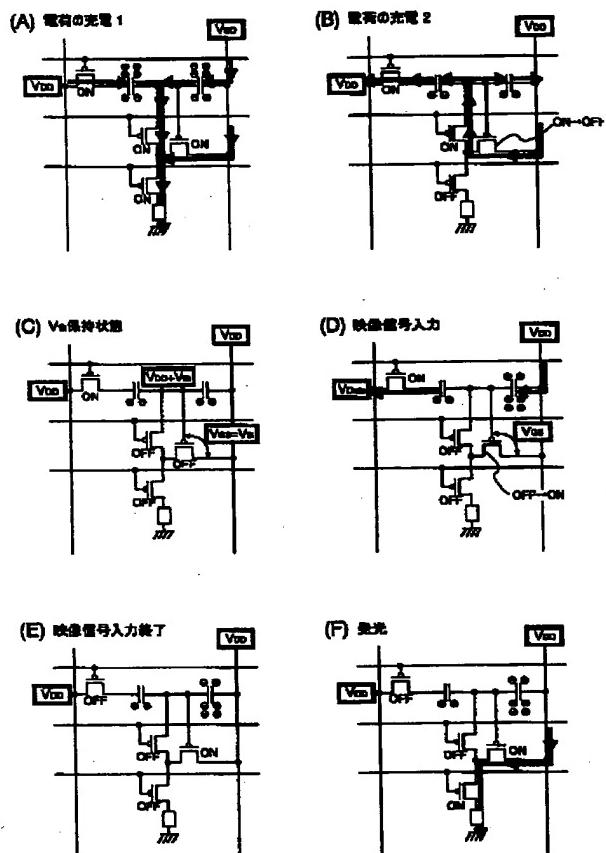
【四】



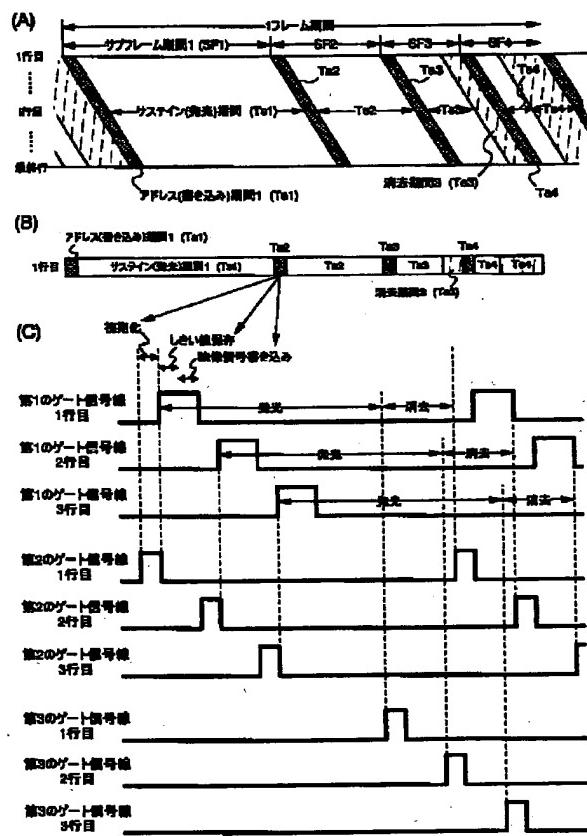
(B)



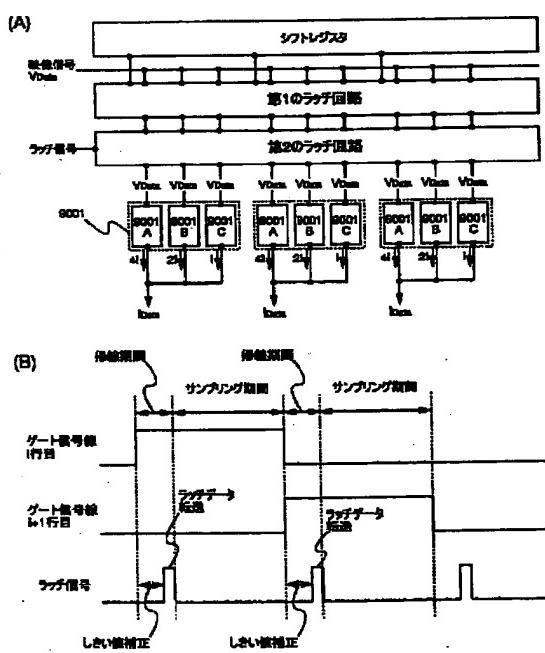
【図11】



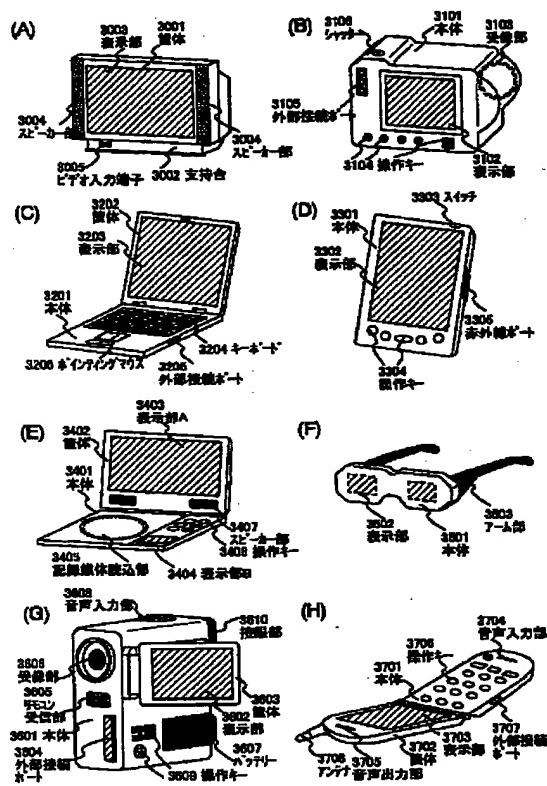
【図12】



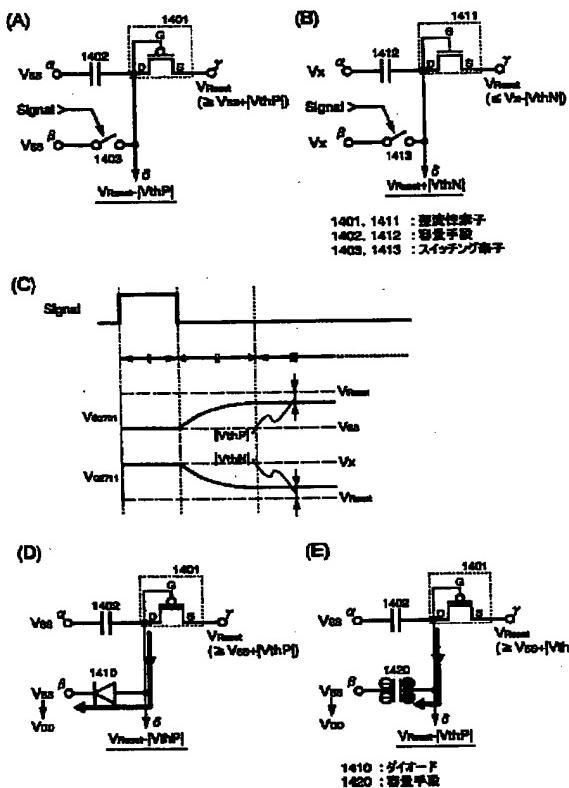
【図25】



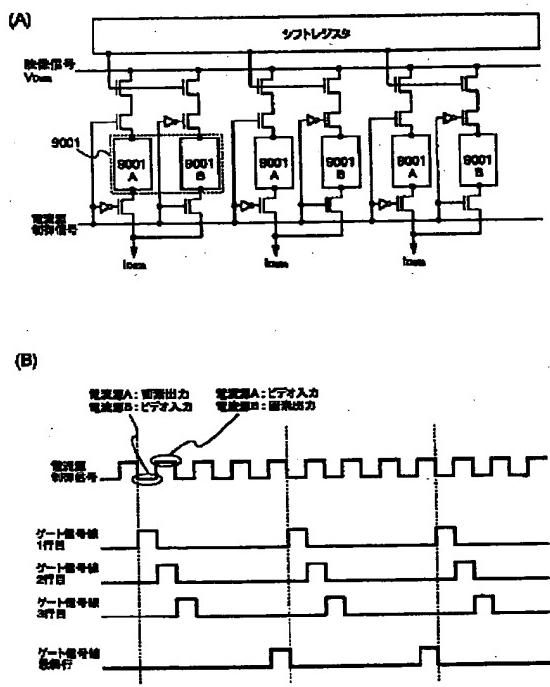
【図13】



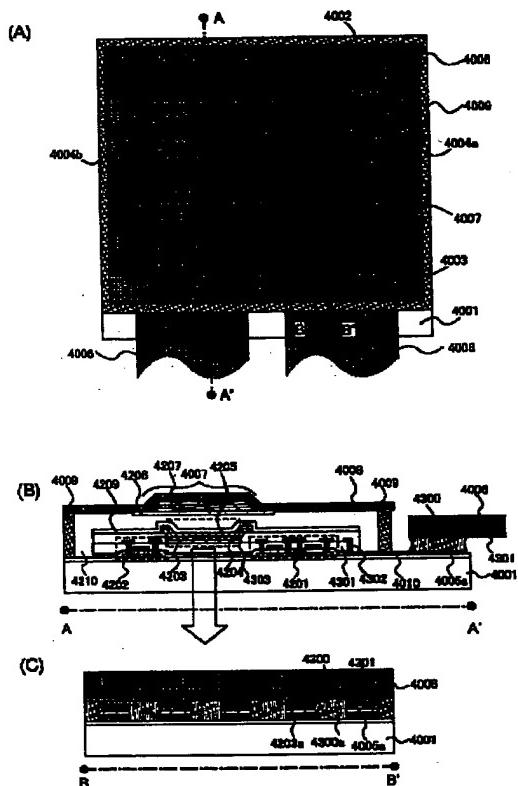
【図14】



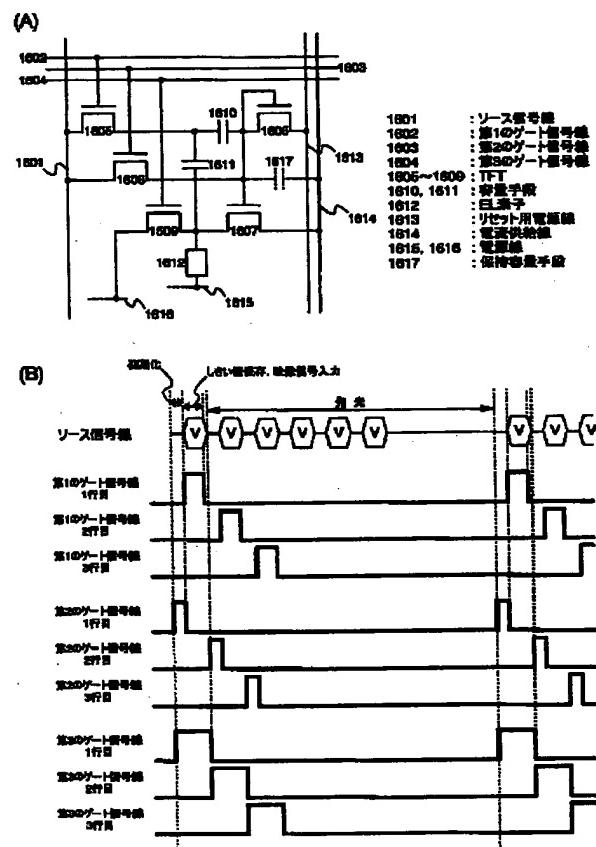
【図24】



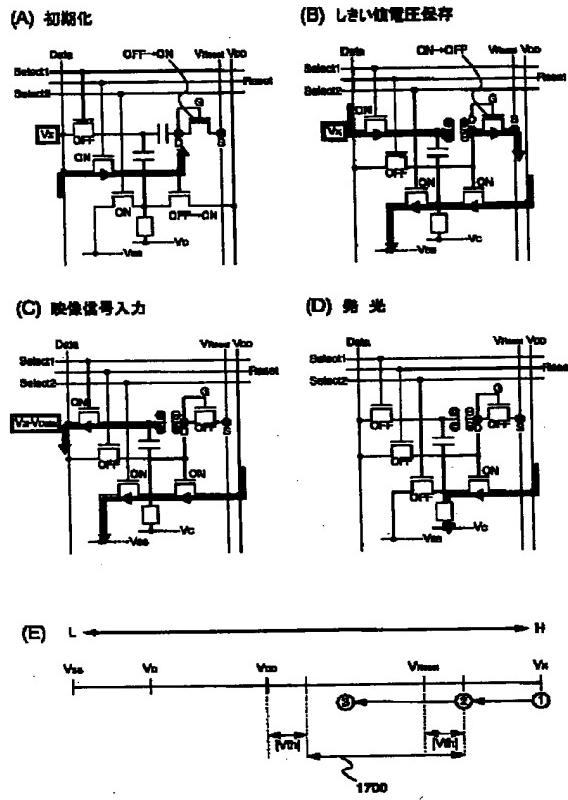
〔图15〕



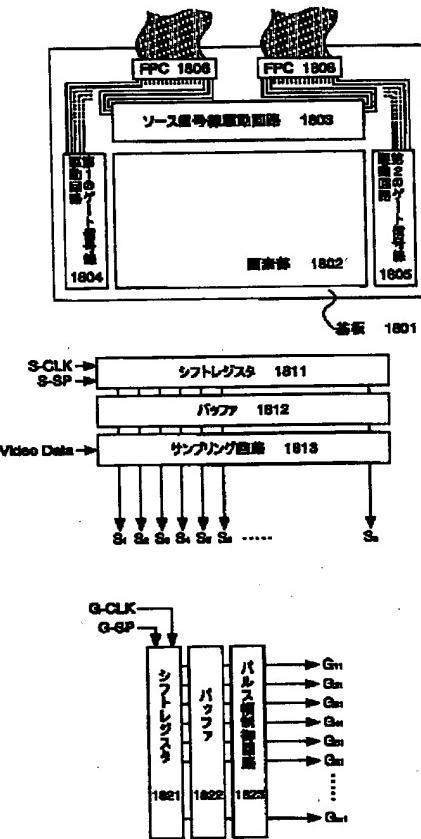
【四 16】



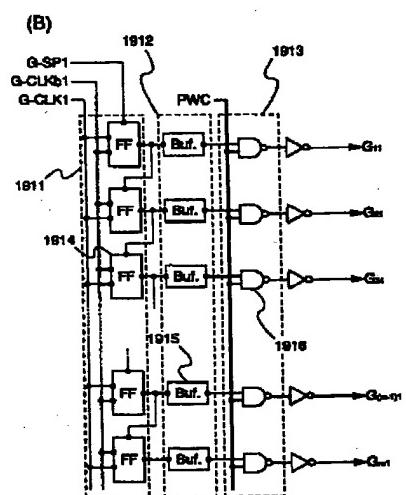
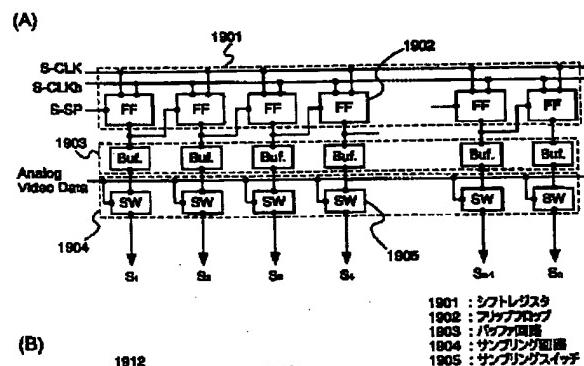
【図17】



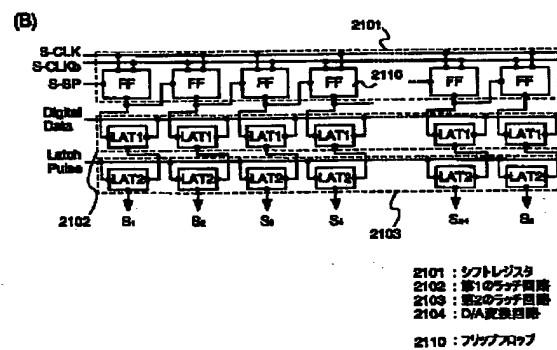
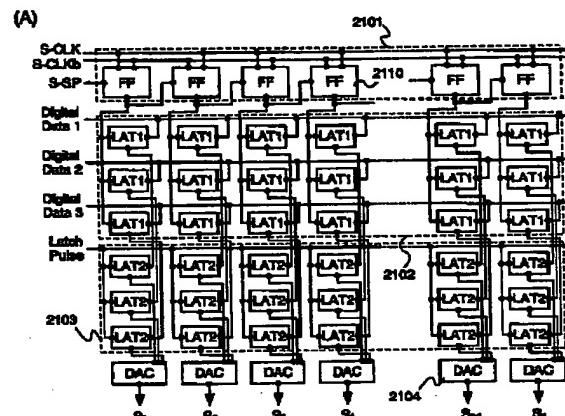
【図18】



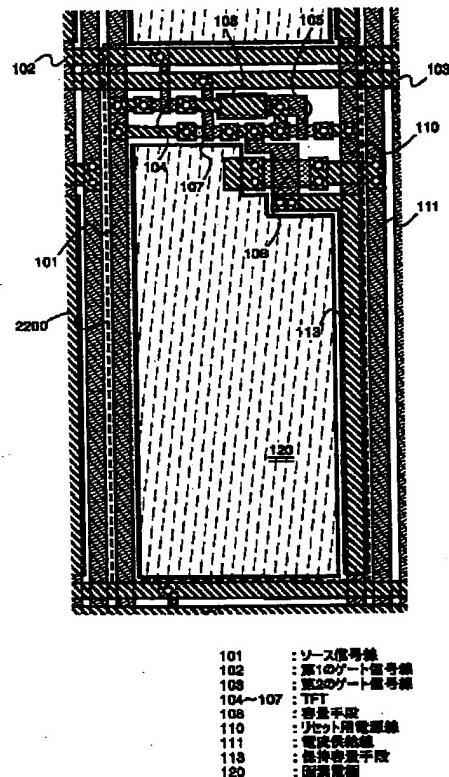
【図19】



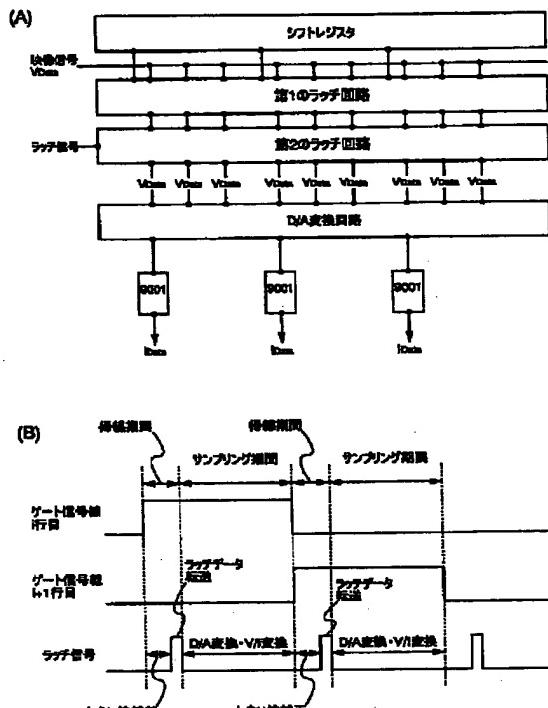
【図21】



【図22】



【図26】



フロントページの続き

(51) Int. Cl. 7
H 05 B 33/14

識別記号

F I
H 01 L 29/78

テーマコード(参考)

614

F ターム(参考) 3K007 AB17 BA06 DB03 GA04
 5C080 AA06 BB05 DD05 FF11 JJ02
 JJ03 JJ04 JJ06 KK07 KK43
 KK47
 5F110 AA30 BB02 BB04 DD01 DD02
 GG02 GG13 NN72 NN73